

# SOTB MOSFET を用いた汎用マイクロコントローラ V850 の動的ボディバイアス制御の検討

奥原 颯<sup>1,a)</sup> 北森 邦明<sup>1,b)</sup> 宇佐美 公良<sup>2,c)</sup> 天野 英晴<sup>1,d)</sup>

受付日 2015年5月19日, 採録日 2015年11月6日

## 概要 :

低電力動作に適した FD-SOI デバイス、Silicon on Thin BOX(SOTB) MOSFET は、ボディバイアスを制御することにより、リーク電流と遅延のトレードオフを取る事が出来る。SOTB MOS-FET を用いたマイクロコントローラは、待機時にバイアス制御によりスリープ状態し、動作時にこの状態から復帰させることでリーク電流を削減することができる。本論文ではこの手法を実現するための基本事項を明かにする。まず、実際のマイクロコントローラ V850Estar の測定により、スリープ時にリバースバイアスを与えることで、動作時のリーク電力より 89.7%を削減できることを明かにする。次に、スリープ制御時に発生する電力オーバーヘッドを上回る電力削減効果を保証する待機時間:Break Even Time はメモリマクロにおいて 2.177ms、コアマクロにおいて 19.30ms であることがわかった。また、ボディバイアス電圧を変化させてからコントローラが応答するまでの遅延時間が最大で 229.3 $\mu$ s 要することが分かった。さらに、スリープ状態からの復帰を検出するリークモニタ回路を提案し、対象とする復帰時のボディバイアス電圧を設定する式を示し、SPICE シミュレーションとの誤差がほぼないことを明かにした。

キーワード : 低電力設計、動的ボディバイアス制御、SOTB、マイクロコンピュータ

## A Research of Dynamic Body Bias Control on Micro Controller V850 Using SOTB MOSFET

HAYATE OKUHARA<sup>1,a)</sup> KUNIYAKI KITAMORI<sup>1,b)</sup> KIMIYOSHI USAMI<sup>2,c)</sup> HIDEHARU AMANO<sup>1,d)</sup>

Received: May 19, 2015, Accepted: November 6, 2015

**Abstract:** Silicon on Thin BOX (SOTB) MOS-FET is a low power FD-SOI device than can control the leakage power and operational speed by scaling body bias voltage. A low power micro-controller using the SOTB technology can save the energy by giving a large reverse bias to reduce the leakage power in the sleep mode, and waking up when it is requested. The paper makes the fundamental issues clear for using the above bias control method based on the measurement of a micro-controller V850 Estar.

Real chip evaluation appears that 89.7% of leakage can be saved in the sleep mode. Break Even Time (BET) on which the leakage reduction overcomes power overhead of body bias control is 2.177ms in the core macro and is 19.30ms in the memory macro. Also, the response delay of body bias control is at most 229.3 $\mu$ s. These evaluation results must be concerned in the bias control. Finally, a leak monitor which can detect the wake up from the sleep mode is proposed. The target active body bias voltage to be detected can be given from outside the chip according to the setting voltage given by the proposed expression with almost no error to the SPICE simulation results.

**Keywords:** Low power design, Dynamic body bias control, SOTB, micro controller

<sup>1</sup> 慶應義塾大学大学院理工学研究科  
Hiyoshi, Kohokuku, Kanagawa 223-0061, Japan

<sup>2</sup> 芝浦工業大学工学部情報工学科  
Toyosu, Koutouku, Tokyo 3-7-5, Japan

a) hayate@am.ics.keio.ac.jp

b) kitamori@am.ics.keio.ac.jp

c) usami@shibaura-it.ac.jp

d) hunga@am.ics.keio.ac.jp

## 1. はじめに

Internet of Things (IoT) への実現に向けて低電力マイクロコントローラの需要が高まっている。特に、センサネットワークやウェアラブルデバイスにマイクロコントローラを利用する場合、その低消費電力化は必須の課題であり、mW 台を下回る  $\mu\text{W}$  台の消費電力が目標とされている [1]。

マイクロコントローラなどの LSI を低電力化する手法としては、電源電圧を閾値電圧付近まで低減するニアスレッショルドコンピューティング (NTC) が有効である [2][3]。LSI の消費電力のうちスイッチング電力は電源電圧の 2 乗に比例するため、電源電圧の低減は電力削減に効果的である。一方で、電源電圧を下げるために、トランジスタの閾値を下げるとドレイン・ソース間を流れるリーク電流が増加する。この問題に対して、ボディバイアスはトランジスタの閾値電圧を製造後に制御できることから、電源電圧と閾値電圧を最適に制御するために有効である。[3] は従来のバルク CMOS を対象として、コアとキャッシュに対してそれぞれ電源電圧 (閾値電圧より 0.2V 未満高い程度) と閾値電圧を最適に決定する方法を提案している。しかし、従来のバルク CMOS プロセスにボディバイアス制御を適用する場合、リバースバイアス時にボディバイアス端子とドレイン・ソース間に流れるリーク電流の増加が発生するため、その効果には限界がある。

ボディバイアスの問題点は、SOI (Silicon On Insulator) トランジスタを用いる事で回避する事が出来る。特に低電力組み込みシステム向けの SOI トランジスタとして、国家プロジェクトである超低電圧デバイス研究組合 (LEAP) が開発した Silicon on Thin BOX MOSFET (SOTB MOSFET) [4] は、埋め込み酸化膜層 (BOX 層) を 10nm 程度の薄さにする事で、高いボディバイアス制御性を可能にしている。ボディバイアスはリバースバイアスが印加されたとき、低リークを実現する事が出来る一方で、動作速度が低下する。これに対してフォワードバイアスが印加されたとき、動作速度が向上する一方で、リーク電流が増加する。ボディバイアスの制御によりリーク電流と動作速度のバランスをどのように実現するかについて、様々な検討が行われている [5][6][7]。

この中でマイクロコントローラに対して最も基本的な制御法は、コントローラの処理が必要でない時は強いリバースバイアスを掛けて待機モードにしておき、リーク電力を抑えることでバッテリーの消耗を抑え、処理が必要になった際にアプリケーションの要求するバイアス (ゼロバイアスやフォワードバイアス) に設定し、必要な性能を実現する方法である。しかし、この制御手法には二つの問題点がある。まず、ボディバイアスを制御する場合、トランジスタのウェルの容量を充放電するために電力が必要である。こ

のエネルギーが、ボディバイアス制御により低減することのできるリーク電力によるエネルギーより大きくなると、スリープさせることでエネルギー消費量を大きくしてしまうことになる。すなわち、ボディバイアス制御は、エネルギー削減が、オーバーヘッドを上回る時間 (BET: Break Even Time) [8] 以上スリープできる場合にのみ行わなければならない。

次にボディバイアス電圧は、これを印加してから効果を表すまでに遅延時間が生じる。待機モードから復帰する際に、それが効果を表したことを確認してからでなければ、正常な動作が保証できない。もちろん、余裕をもって待ち時間を設ければよいが、このためには時間的なオーバーヘッドが生じると共に、その間に大きなリーク電流による消費エネルギーの増大を招く。BET の検討が広く行われているパワーゲーティングに比べ、ボディバイアスを動的に利用した場合についての研究 [9] は限られており、特にその効果が大きい SOTB ではほとんどこのような研究は行われていない。

そこで、本論文では、この問題をマイクロコントローラ V850 の実チップ [10] を用いて明らかにする。まず、待機時に確実に電力が削減できることを保証できる BET を測定し、ボディバイアスの利用可能な範囲を明かにする。さらに、待機モードから復帰したかどうかを確認する回路を提案し、その有効性について明かにする。

## 2. SOTB を用いた LSI

### 2.1 SOTB CMOSFET

SOTB MOSFET は FD-SOI (Fully Depleted-Silicon On Insulator) の一種で、図 1 に示す通り、10nm 程度の超薄型の BOX 層上にトランジスタを形成する。SOTB MOSFET では BOX 層によりショートチャネルエフェクト (SCE) を抑制する事が出来るため、チャネルへの不純物ドーピングが不要である。従って、不純物ゆらぎによる閾値のばらつきが低減され、電源電圧 ( $V_{DD}$ ) の低電圧化に適している。また、ボディが BOX 層により分離されているため、ドレイン・ソース領域と基板の pn-接合リーク電流が除去される。従って、従来のバルク CMOS プロセスと比較して、リバース方向へのボディの電圧制御の自由度が高い。BOX 層下のウェル領域はトリプルウェル構造をなしており、ボディバイアス印加時のリーク電流を抑えている。

### 2.2 ボディバイアス制御

MOSFET ではウェル部の電圧を変更することにより、閾値電圧 ( $V_{TH}$ ) を変更することができる。これをボディバイアス制御 (基板バイアス制御) と呼ぶ。  $V_{TH}$  は MOSFET のソース・ボディ間の電圧の関数である。

ここでは、nMOSFET のソースの電圧を  $V_{sn}$ 、ボディ端子の電圧を  $V_{BN}$  と表記し、同様に pMOSFET のソース

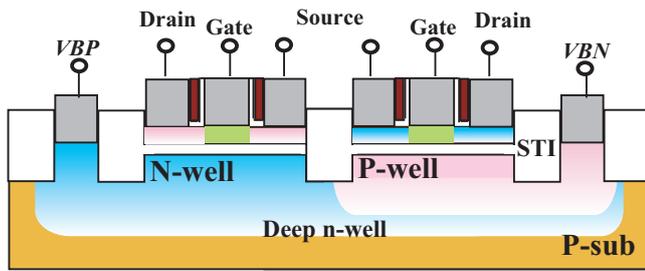


図 1 SOTB MOSFET の断面図

の電圧を  $V_{sp}$ 、ボディ端子の電圧を  $VBP$  と表記する。

$$V_{sn} > VBN, \quad (1)$$

$$V_{sp} < VBP, \quad (2)$$

が成立するとき、これをリバースバイアスと呼ぶ。リバースバイアス時には MOS FET の閾値電圧  $V_{TH}$  が上昇し、リーク電流 ( $I_{leak}$ ) が削減されるが、遅延時間が増大する。一方、

$$V_{sn} < VBN, \quad (3)$$

$$V_{sp} > VBP, \quad (4)$$

が成立するとき、これをフォワードバイアスと呼ぶ。フォワードバイアス時は閾値電圧  $V_{TH}$  が減少し、遅延時間が減少される代わりに、リーク電流が増大する。なお、ボディとソースの電圧が等しい時、これをゼロバイアスと呼ぶ。

ボディバイアスを適切に設定することで、リーク電力と性能のバランスを取ることが可能であり、これにより高いエネルギー効率を実現することが出来る。

### 2.3 関連研究

ボディバイアスの制御によりエネルギー効率の改善を行う研究は広く行われており、最近ではバイアスの効果が広い範囲で大きく表れる SOI を中心に研究が行われている。文献 [5] では、SOTB MOSFET のボディバイアスの効果について定量的に検討し、マイクロコントローラに関して電源電圧に応じて最も効果のある電圧を示している。文献 [11] では、マイクロコントローラの動作電力を含めたエネルギー最小点を実現する方法を示している。また、文献 [12] では、電源電圧とボディバイアスの同時最適化を試みている。

ボディバイアス制御はマイクロプロセッサ、マイクロコントローラだけでなく、アクセラレータ、FPGA にも有効な手法である。文献 [6] では、プロセッシングエレメントのレイアウト部分と、メモリ間とのデータ転送を行うコントローラに別々のボディバイアス制御を行うことで、実行するアプリケーション毎に、エネルギーを最適化する方法を提案している。文献 [7] では FPGA の基本論理ブロック単位でボディバイアス制御を行い、文献 [9] では動的リコンフィギュラブルプロセッサのプロセッシングエレメント単位で

動的に制御する方法を検討している。

典型的なボディバイアス制御においては、マイクロコントローラ、マイクロプロセッサが動作していない場合に、コアとメモリの両方に強いリバースバイアスを与えて待機モードにして、リーク電流を減らしてバッテリーの消耗を防ぐ。パワーゲーティングと異なり、待機モード時にメモリ中のデータは消失しないので、速やかに動作モードに移行することができる。しかし、待機モードと動作モードの遷移にはエネルギー的、時間的オーバーヘッドがあり、これを考慮しなければ、却ってエネルギーを消費する。また、動作モードへ移行したかどうかを検出する手法がない。ボディバイアスの制御については多くの研究が行われているが、このようなオーバーヘッドについては、いくつか解析結果の報告が行われているにとどまっており [13][14]、BET や遷移時間の計測結果は報告されていない。

## 3. 対象とするマイクロコントローラ

### 3.1 V850E-Star

本論文で対象としたマイクロコントローラは、ルネサスエレクトロニクス社より開発された組み込み用 32bit マイコン V850E-Star[10] を SOTB 65nm プロセスを用いて実装したものである。チップ写真を図 2 に、チップの諸元を表 1 にまとめる。

V850 は RISC 命令セットを持ち、乗算命令、飽和演算命令、ビット操作命令を持つ。CPU コアは標準的な 5 段パイプラインで構成され、46.2K ゲートの規模である。ローカルメモリとして、それぞれ 128-Kbyte の命令メモリ、データメモリを持ち、このメモリ部は、コア部とは独立した電源電圧およびボディバイアス端子を持ち、チップ外部より独立に電圧を供給することができる。ここでは、CPU コアの nMOS のボディ電圧、pMOS のボディ電圧、電源電圧をそれぞれ  $VBN$ 、 $VBP$ 、 $V_{DD}$  と呼び、メモリの nMOS のボディ電圧、pMOS のボディ電圧、電源電圧をそれぞれ  $VBNM$ 、 $VBPM$ 、 $V_{DDM}$  と呼ぶ。

ボディバイアスは、CMOS 回路のバランスを考慮して nMOS と pMOS に等量与える。すなわち

$$VBP + VBN = V_{DD} \quad (5)$$

$$VBPM + VBNM = V_{DDM} \quad (6)$$

が成り立つ。よって以降は  $VBN$  および  $VBNM$  に対してのみ記述するものとする。また、コア部のウェルはメモリ部を除いた箇所のフィラーセルと共有がされている。V850 の電圧表現を表 2 にまとめる。

### 3.2 最高動作周波数

ボディバイアスの制御を考えるにあたり、まずボディバイアスがどの程度最高動作周波数に影響を及ぼすのかを調べた。図 3 に実チップで MiBench[15] 中のベンチマーク

表 1 対象 V850 の実装諸元

process	65-nm FD-SOI (LEAP SOTB)
logic gates	46.2K
local memory	128K + 128K
Logic Synthesis	Design Compiler
Routing of Layout	IC Compiler
Package	208PIN QFP
Standard Voltage	0.4V

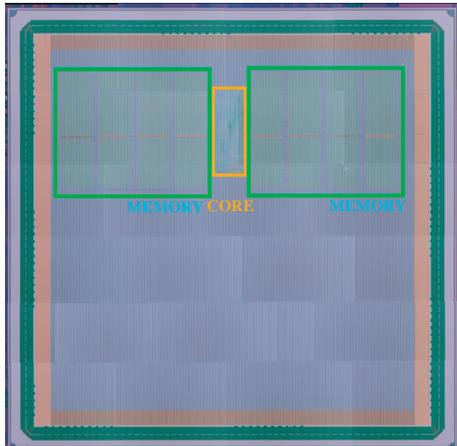


図 2 V850 のチップ写真

表 2 V850 の電圧定義

$V_{BP}$	CPU コア pMOS ボディ電圧
$V_{BN}$	CPU コア nMOS ボディ電圧
$V_{DD}$	CPU コア電源電圧
$V_{BPM}$	メモリ pMOS ボディ電圧
$V_{BNM}$	メモリ nMOS ボディ電圧
$V_{DDM}$	メモリ電源電圧

プログラム Dijkstra を動作させた際の最高動作周波数のボディバイアス特性を示す。Dijkstra は、メモリのアクセスが多いアプリケーションであるが、演算が多い離散コサイン変換のアプリケーションでも最大動作周波数がほぼ変わらなかったことから、今回の評価は Dijkstra を用いた結果のみを示す。

$V_{DD}$  および  $V_{DDM}$  は 0.4V とし、横軸をコアのボディバイアスの電圧  $V_{BN}$ 、縦軸を最高動作周波数とした。パラメータとして、メモリのボディバイアス電圧  $V_{BNM}$  を変化させている。ボディバイアスをフォワード方向に上昇させると、最高動作周波数が向上している。 $V_{BN}=-0.4V$  で  $V_{BNM}=-0.4V$  のとき、最高動作周波数は 22MHz であるのに対して、 $V_{BN} = 0.2V$ 、 $V_{BNM} = 0.2V$  に変更したときの最高動作周波数は 47MHz まで向上した。

### 3.3 リーク電流

図 4 にリーク電流による消費電力を示す。横軸が  $V_{BN}$  および  $V_{BNM}$ 、縦軸がリーク電流による消費電力 ( $P_{ST}$ ) である。 $V_{DD}$  および  $V_{DDM}$  は 0.4V とした。リーク電流はチップのクロックを全て停止しリセットした状態で流れる電流を取得した。チップのボディバイアスがフォワード方向にバイアスされると、リーク電流は指数関数的に増

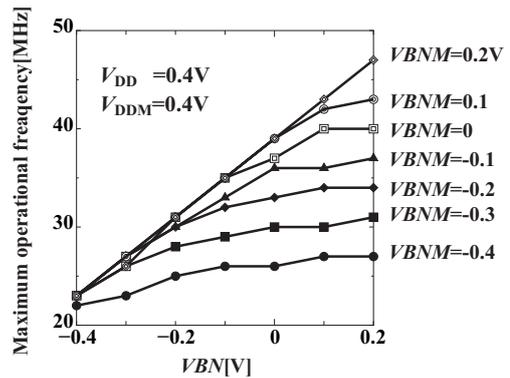


図 3 実チップ評価による V850 の最高動作周波数 [MHz]

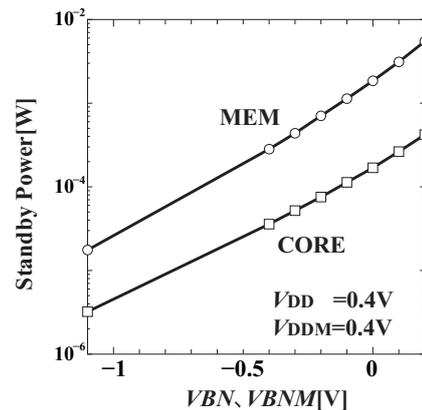


図 4 V850 で消費されるリーク電流による消費電力 [W]

加している。ここでボディバイアスが待機時にゼロバイアスのままであると仮定すると、コアに流れるリーク電流は 0.4223mA でメモリに流れるリーク電流は 4.623mA である。従って、これらのリーク電流を足し合わせて電源電圧を掛ければリーク電流による消費電力はチップ全体に対して 2.018mW である。これに対して、 $V_{BN} = -1.1V$  および  $V_{BNM} = -1.1V$  のリバースバイアス時は、コアに流れるリーク電流が 8.036 $\mu$ A で、メモリに流れるリーク電流が 43.89 $\mu$ A である。従ってリーク電流による消費電力は 20.77 $\mu$ W となり、ゼロバイアス時の 10.3% である。すなわち、本例において動作時のボディバイアスをゼロバイアスとし、待機時に動的に  $V_{BN} = -1.1V$  および  $V_{BNM} = -1.1V$  に切り替えた場合、待機時間が十分長ければ、待機時の消費電力は約 89.7% 削減される。

### 3.4 温度特性

以上、プロセッサで問題となる動作周波数と消費電力について調べたが、命令の実行時に生じる消費電力によって発生する発熱が影響を与える場合がある [16]。発熱により基板の温度が上昇する場合、閾値電圧が変動し、動作時に与えなければならないボディバイアスの値が変化する。動作時に与えるボディバイアスが変化すると、その変化に追従して適切なボディバイアスを与える必要が生じる。そこ

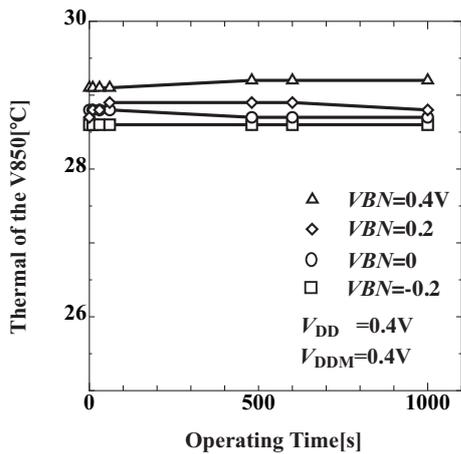


図 5 命令実行時の V850 のチップ温度 [°C]

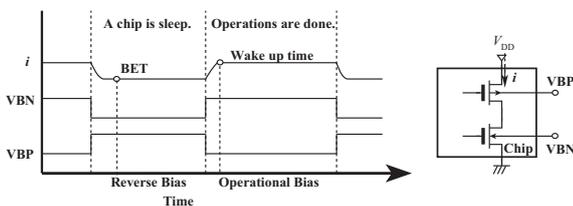


図 6 動的ボディバイアス制御の概念図

で、我々は、同様に MiBench[15] の Dijkstra アルゴリズムを一定時間動作させつつチップ温度を測定した。その結果を図 5 にしめす。V<sub>DD</sub> および V<sub>DDM</sub> は 0.4V で、ボディバイアスはフォワードバイアス方向のケースを重点的に取得している。これは、フォワードバイアス時は電力が高く、その分だけ発熱も高くなるためである。プログラム実行時の動作周波数は 20MHz である。グラフより、フォワードバイアスが印加されているとき、定常的な熱はそのバイアスの分だけ増加していることがわかる。しかし、フォワードバイアスを強くあたえても、今回の V850Estar においては、熱源となる消費電力もまた極めて小さいため、命令実行時の温度の上昇は無視できるほどに小さいことがわかった。したがって、低電力アプリケーションを想定するとき、命令実行時のボディバイアスは動作環境と目的のアプリケーションによって決定すればよい。

#### 4. 動的ボディバイアス制御

もっとも単純なボディバイアスの利用法を図 6 に示す。電源端子に流れる電流を  $i$  とし、V<sub>BN</sub>、V<sub>BP</sub>、 $i$  についてそれぞれ概念図を記述している。コントローラが利用されなくなった時に、強いリバースバイアスが与えられ、リーク電流が削減される。ここで、命令実行を要求された時に、フォワード方向へボディバイアスが与えられ、所望のスピードが得られる状態へ復帰する。チップはウェイクアップが完了したのち、速やかに命令を実行する。命令を実行し終わると、速やかにチップにリバースバイアスを印加し、リーク電流を抑えた待機状態へ遷移する。

#### 4.1 Break Even Time の測定

まず、ボディバイアス制御に要する電力のオーバーヘッドについて検討する。通常、MOSFET ではウェルとサブストレートに大きな容量を持つ。従って、スリープダウン時には V<sub>BP</sub>、V<sub>BPM</sub>、V<sub>BN</sub>、V<sub>BNM</sub> を高いリバースバイアスの電圧に遷移させるための電力オーバーヘッドを要する。チップが待機状態へスリープする場合は、この電力オーバーヘッドを上回る電力の削減が行われる必要がある。ここでは一回の充放電に要するエネルギー (Overhead) と、削減されたエネルギーが等しくなる時間 Break Even Time (BET) を以下のように定義する。

$$Overhead = \int_0^{BET} i_{leakgain}(t)dt \quad (7)$$

ここで  $t$  は時間、 $i_{leakgain}$  は動作時と待機時のリーク電流の差である。 $t = 0$  は本論文では待機時のボディバイアスに遷移して効果が現れてからの時間としている。図 7 にボディバイアスを制御した際の電力オーバーヘッドを示す。ここでは 3 章に示した測定結果より、十分リーク電流を削減できる待機時のボディバイアス V<sub>BN</sub> および V<sub>BNM</sub> を -1.1V とした。図では、横軸に動作時のボディバイアスの電圧、縦軸に電流のオーバーヘッド、すなわち動作時のボディバイアスから待機時のボディバイアスに遷移させた際に流れる電流を示す。これらの値は、チップにリバースバイアスを与えた際に流れる電流の積分値を用いて求めた。コアとメモリでアクティブなトランジスタはメモリの方が多い。しかし、前述のとおり、コア部はフィラセルを含めたセルのボディをチャージする必要があり、メモリ部と比較してチャージすべき電荷の総量は大きい。当然であるが、待機時と動作時のボディバイアスの電位差が高いとき、より大きなオーバーヘッドが生じていることがわかる。

次に測定した BET を図 8 に示す。BET は室温におけるリーク電流を基準としており、実験時のチップ温度を確認したところ約 27°C であった。コア部ではアクティブなトランジスタが少ないため、リーク電流による消費電力がメモリと比較して小さい。したがって、リーク電流の削減効果がオーバーヘッドを上回るには長い時間を要する。0.2V のフォワードバイアスから待機状態に遷移させたとき、BET はコアで 3.903ms 要する。また、動作時にも或る程度リバースバイアスをかけてリーク電流を小さくした場合は、スリープ時との差が小さくなるため、相対的に BET は大きくなってしまう。-0.3V のリバースバイアスから待機状態に遷移させたとき、BET は 19.30ms の時間を要する。これらの結果によりマイクロコントローラのコアをスリープダウンする場合、動作時のボディバイアスの電圧に応じて数 msec から 20msec 程度の長期間スリープ出来なければ効果がないことがわかる。

一方、メモリ部の BET はコアと比較して極めて小さい。動作時のバイアスが 0.2V のフォワードバイアスであると

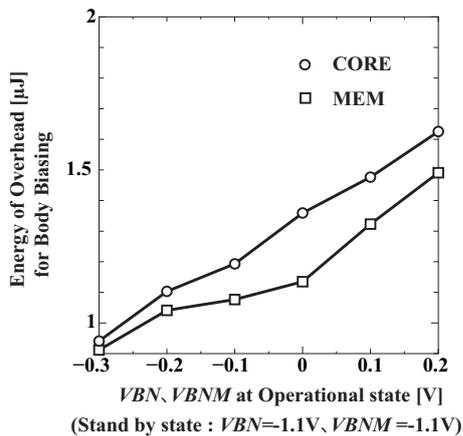


図 7 ボディバイアス制御時に発生するエネルギーオーバーヘッド [μJ]

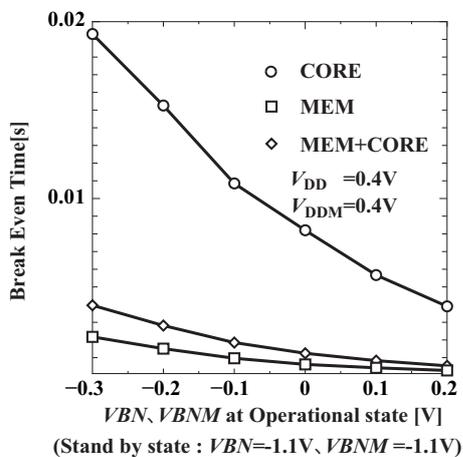


図 8 動的ボディバイアス制御時に考慮しなければならない Break Even Time[s]

き、BET は 0.2782ms で、-0.3V のリバースバイアスであるとき、BET は 2.177ms である。これは、メモリがリーク電流による消費電力が大きいためである。したがって、メモリのスリープは積極的に行うことができる。

コアとメモリを同時に制御したときの BET は動作時のバイアスを -0.3V とすると、3.962ms であり、両者の中間的な時間となる。本論文で検討した BET を満足する時のみスリープすることで、エネルギーを削減することが可能である。定期的にコントローラが動作するアプリケーションでは判定は容易だが、その他の場合にはアプリケーションに応じて判定する手法が必要となる。

#### 4.2 時間的オーバーヘッド

待機状態から動作状態へウェイクアップするときには、一定の遅延時間が必要となる。所望の性能を得られるボディバイアスに確実に移行してからでなければ、マイクロコントローラの実行は開始できないため、この遅延時間を知ることは重要である。そこで V850 マイコンのボディバイアスを動的に変更し、リーク電流が変更されるまでの時

表 3 ボディバイアス制御時の遅延時間 [μs]

		MEM	CORE
<i>VBP, VBPM</i>	sleep	80.99	219.7
	wake up	118.5	229.3
<i>VBN, VBNM</i>	sleep	98.67	191.5
	wake up	170.1	210.9

間を解析した結果を表 3 に示す。

ボディバイアスの変更には実験のため外部電源から電圧を供給し、ボルテージフォロアとデカップリングキャパシタンスを介してチップに供給する。ボルテージフォロアにはテキサスインスツルメンツ社の LM2904DR を、デカップリングキャパシタンスには 1.1μF のコンデンサを用いた。また、ボディバイアスは実験機材の制限上、ゼロバイアスから 0.4V のフォワードバイアスを与えている。ここでの遅延時間は、ボディバイアスを制御した後、リーク電流に変化が現れてから 10%の箇所からリーク電流の変化がほぼ終了する 90%までの時間を用いている。

チップがスリープダウン(フォワードバイアスからゼロバイアスへ遷移)をするとき、コア部において最大 219.7μs の時間を要する事が分かる。また、チップのウェイクアップ(ゼロバイアスからフォワードバイアス)には最大で 229.3μs だけ時間を要する。従って、命令の実行にはボディバイアスを変更してから最低でもこの程度の時間だけ命令を実行するだけのタイムオーバーヘッドが存在する。また、これらのボディバイアスの変化時間は、マクロ間で大きく異なる。メモリにおいて、マクロにウェイクアップに要する時間はメモリ部の VBNM で 118.5μs 程度にすぎないが、コアにおいて最大 229.3μs の時間を要している。

### 5. リークモニタを用いたチップのウェイクアップ検出

#### 5.1 リークモニタの回路構成

前節の測定結果より、ボディバイアスを待機状態から動作状態へ復帰させるためには、一定の時間を要することがわかった。しかし、この遅延時間はマクロごとに大きく違っており、設計時に推定することは難しい。そこでリーク電流を測定することにより、マクロの動作状態への復帰を検出する回路を検討する。ボディバイアスが所望のバイアス地点に遷移したことを検出する回路としてリークモニタを用いる試みは従来から行われている [17][18]。しかし従来の検出回路は、検出ターゲットのボディバイアス電圧が固定である [17]、バルクテクノロジーを前提とした回路であり、SOTB では除去されたボディへの pn 接合リーク電流とサブスレッショルドリークを比較し回路を制御している [18] 等の問題があり、SOTB を用いたマイクロコントローラにそのまま適用することができない。

そこで、本論文では、これらの課題を解決し、SOTB で利

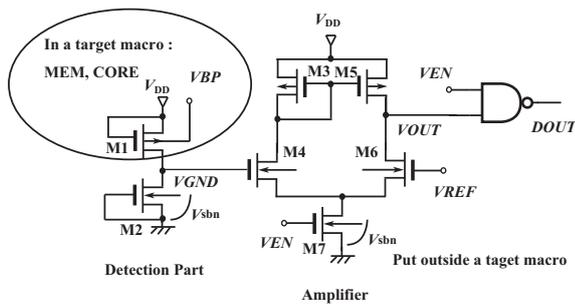


図 9 提案するリークモニタの CMOS 回路図 (VBP 検出器)

用可能で、さまざまな対象ボディバイアスを設定できるリークモニタ回路 [14] を提案する。この回路は図 9 に示すように、リーク電流を検出する検出部 (Detection Part) と、そのリーク電流の信号を増幅する 差動増幅回路 (Differential amplifier) から構成されている。M1 はボディバイアスを動的に変更するターゲットのマクロ内の領域に置き、それ以外はマクロ外の領域に置く。

VBP が深いリバースバイアス状態であるとき、差動増幅回路に流れるリーク電流は小さいため、M1 の等価的な抵抗が高くなる。従って、VGND の電位は“0”である。次に、VBP を動作時のバイアスに遷移させると、検出部に流れるリーク電流が M1 によって増加され、M1 の等価的な抵抗が小さくなり、VGND の電位は上昇する。VGND が VREF の電圧になったとき、差動増幅回路の出力が反転する。従って本回路は深いリバースバイアス状態から、動作時のバイアスに切り替わった時に、出力が変化することで、ボディバイアスが切り替わったことを知らせる回路として利用できる。

以上に述べたリークモニタ動作時の各点の電圧変化を図 10 に示す。シミュレーションには HSPICE、使用ライブラリとして標準閾値ライブラリを用いた。VDD = 0.4V、で動作時の VBP は 0.5V、待機時のリバースバイアスは VBP = 1.5V、VREF には VDD/2 より若干低い 0.17V を与え、Vsubn は 0V である。電圧波形により、提案回路が正しく動作していることが確認出来る。ターゲットのマクロの pMOS 側のボディバイアスである VBP は待機時の 1.5V の強いリバースバイアスから、動作時の 0.5V に遷移している。その遷移の終了時に VGND が VREF に到達した際、差動増幅器を介して DOUT が切り替わっている。なお、VBN 側のリークモニタも同様の手順で作成することができるため、以降は VBP 側のリークモニタのみを詳細に述べる。

### 5.2 検出対象ボディバイアス電圧の設定

汎用マイクロコントローラは、対象とするアプリケーションに対して、要求される性能に応じた周波数で動作させる必要がある。従って、ボディバイアスの到達目標値も一定ではなく、アプリケーション毎に異なる可能性があ

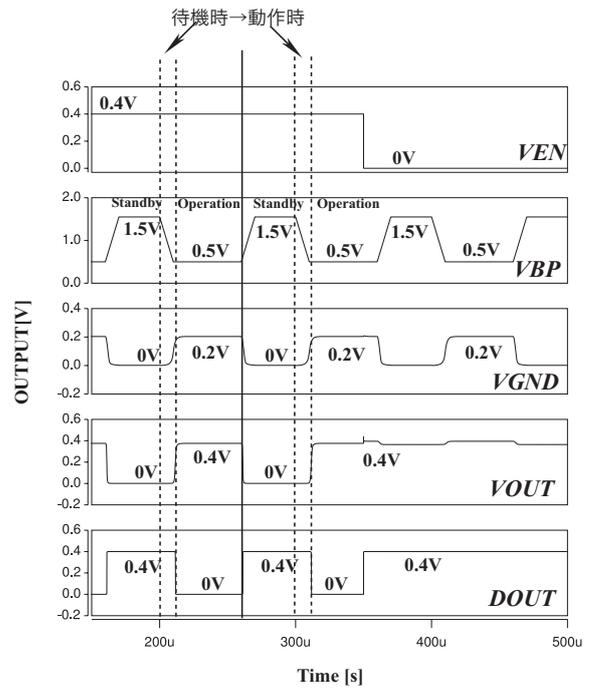


図 10 提案回路の動作波形 (HSPICE 使用)

る。従って、検出用リークモニタは、アプリケーションの違いによって様々な動作時ボディバイアス電圧に対応出来なければならない。通常、差動増幅回路では基準値となる入力 VREF を制御することで、到達目標値を制御するが、CMOS の差動増幅回路は、基準値前後の特性が急峻であり、少しの VREF の変化によって対象ボディバイアスが大きく変化するため、調整が難しい。

そこで、本回路では、ターゲットマクロ外に実装されたリークモニタ部分のボディバイアス Vsubn をアプリケーション毎に事前に設定しておくことにより、達成目標値を設定する方法を提案する。すなわち、Vsubn を変更して、様々な動作時ボディバイアス電圧に対して、VGND が VREF と等しくなるように、M1 と M2 の抵抗のバランスを調整する。これにより対象ボディバイアス電圧を細かく制御することが可能となる。

ではここで、アプリケーションごとに異なる VBP にたいして適切な Vsubn を求める方法を示す。まず、M1、M2 に流れるリーク電流を最も支配的なサブスレッショルドリーク電流とすると、

$$I_{sub} = I_{off} 10^{\frac{V_{gs} + \eta(V_{ds} - V_{DD}) - k_{\gamma} V_{sb}}{S}} \left\{ 1 - \exp\left(\frac{-V_{ds}}{v_T}\right) \right\} \quad (8)$$

で表すことができる [19]。Ioff はゲートソース間電圧が 0V でドレインソース間電圧が VDD のときのサブスレッショルドリーク電流、S はサブスレッショルドスロープ、kγ は閾値電圧をボディの電圧に対して線形近似した際の係数の絶対値、η は DIBL 係数、vT は熱電位である。

M1 と M2 に流れるサブスレッショルドリーク電流は等しく、M1 と M2 のゲート・ソース間電圧 Vgs はそれぞれ 0 なので、

$$I_{offn} 10^{\frac{\{\eta_n(V_{GND}-V_{DD})-k_{\gamma n}V_{sbn}\}}{S_n}} \left\{1 - \exp\left(\frac{-V_{GND}}{v_T}\right)\right\} \quad (9)$$

$$= I_{offp} 10^{\frac{\{-\eta_p(V_{GND})-k_{\gamma p}V_{bsp}\}}{S_p}} \left\{1 - \exp\left(\frac{-V_{DD}+V_{GND}}{v_T}\right)\right\}$$

が成立する。それぞれの係数の下付き文字に M1 の pMOS に対応するものは p、M2 の nMOS に対応するものは n を付けている。リークモニタの目的は、対象マクロのボディバイアスがターゲットとなる電圧に遷移したときに出力が切り替わり、遷移の終了を伝えることである。そこで、pMOS 側のボディバイアス電圧 ( $V_{bsp}$ ) をターゲットである  $VBP_{target}$  とし、 $VREF = V_{GND} = V_{DD}/2$  の条件で  $VOUT$  が切り替わるために、 $V_{sbn}$  に対して以下の関係が成立する。

$$V_{sbn} = \frac{S_n}{k_{\gamma n}} \left( \log_{10} \frac{I_{offn}}{I_{offp}} - \frac{\eta_n V_{DD}}{2S_n} + \frac{\eta_p V_{DD}}{2} + \frac{k_{\gamma p}(VBP_{target} - V_{DD})}{S_p} \right) \quad (10)$$

式 (11) 内の係数は SPICE シミュレーションを用いて算出する事が出来る。図 11 にシミュレーションによって得られた閾値電圧とボディの電圧およびドレイン電圧の関係を示す。使用ライブラリは標準閾値ライブラリで、(a) はドレインの電圧に対して、(b) はボディの電圧に対しての関係である。pMOS の閾値は絶対値で取得している。このように、SPICE 解析で得られた結果の線形近似をそれぞれ求め、その傾きにより、係数を取得する。本例では  $\eta_p = 0.0386$ 、 $\eta_n = 0.0332$ 、 $K_{\gamma n} = 0.17$ 、 $K_{\gamma p} = 0.1223$  となった。また、 $I_{off}$  についても同様に SPICE シミュレーションで求めることができる。

次に、得られた式がどの程度の精度であるかを調べるため、式 (11) を用いて算出した  $V_{sbn}$  と、SPICE シミュレーションにより得られた  $V_{sbn}$  の誤差を測定した。この結果を図 12 に示す。なお、図内においてはボディから見たソースの電圧  $V_{sbn}$  ではなく、ソースから見たボディの電圧  $V_{bsn}$  とし、M1 のボディ端子に与えるべき電圧値に注目出来るようにしている。得られた  $V_{bsn}$  の、SPICE シミュレーションとの誤差は最大で 13.78mV ( $VBP_{target} = 1.2V$ ) であり、 $VBP_{target} = 0.3V$  ならば 1.797mV に過ぎない。このように、あるターゲットの  $VBP$  に対して、設定すべき  $V_{bsn}$  は、上記の式を用いる事で極めて高い精度で求めることが出来る。

### 5.3 温度に関する補正

リーク電流は温度に対して変化する。したがって、リークモニタが温度に対してどの程度の影響を受けるのか議論をする必要が有る。温度に対する特性を図 13 に示す。縦軸は、M1 のボディバイアスが  $VBP_{target}$  を検出するために設定する  $V_{bsn}$  が、室温 (25°C) における場合とどれだけ

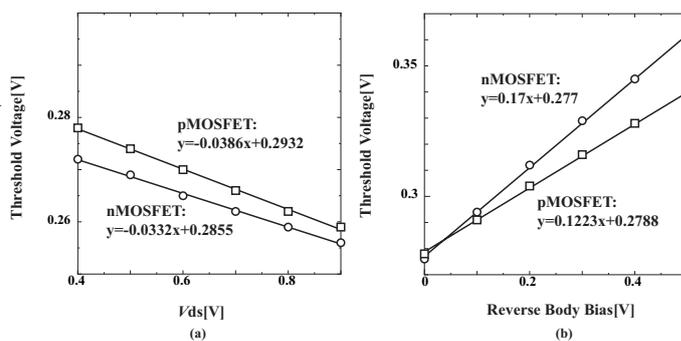


図 11 式 (11) の係数を求めるための閾値電圧シミュレーション結果 (a)  $V_{TH}$  vs  $V_{ds}$  (b)  $V_{TH}$  vs Reverse Body Bias

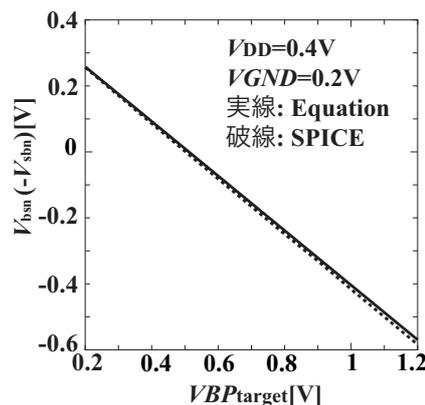


図 12 式 (11) により得られた  $V_{bsn}$  と HSPICE により得られた  $V_{bsn}$  の比較

差が生じるかを示す。 $VBP_{target}$  は 0.5V、 $V_{DD}$  は 0.4V としている。温度が上昇するにつれて、同じ  $VBP$  でも必要となる  $V_{bsn}$  が異なる。すなわち、より大きなリバースバイアスを  $V_{bsn}$  に与える必要が有る。しかし、3 節で述べたように、今回対象としたマイクロコントローラでは、チップ自体の発熱による温度上昇は無視できる。従って考慮しなければならない温度は環境による温度変化である。つまりチップの動作環境が確定したのち、チップに電源が与えられた際に一度、対象とするアプリケーションに対応した  $V_{sbn}$  を決定すれば十分である。そこで、温度に対する補正項  $C(T)$  を導入し、式 (11) を

$$V_{bsn} = -\frac{S_n}{k_{\gamma n}} \left( \log_{10} \frac{I_{offn}}{I_{offp}} - \frac{\eta_n V_{DD}}{2S_n} + \frac{\eta_p V_{DD}}{2} + \frac{k_{\gamma p}(VBP_{target} - V_{DD})}{S_p} \right) + C(T) \quad (11)$$

のように変更する。このように温度による補正項を含めて  $V_{bsn}$  を決定すれば、環境温度に合せた制御が可能である。補正項の一例として、図 13 の結果を用いて、多項式近似をした際の  $C(T)$  は  $C(T) = -8 \times 10^{-12}T^4 + 4 \times 10^{-9}T^3 + 6 \times 10^{-7}T^2 - 0.0006T + 0.0147$  となった。補正式により得た値は、120°C において、SPICE シミュレーションとの誤差が 0.5869mV となり、ごくわずかであった。

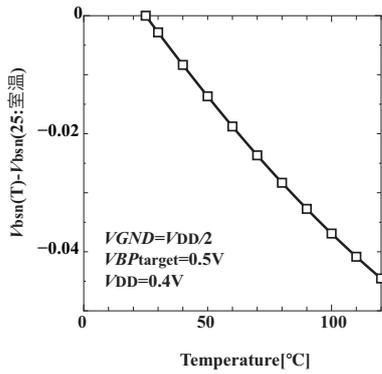


図 13 温度変化による  $V_{bsn}$  の室温からの誤差 [V]

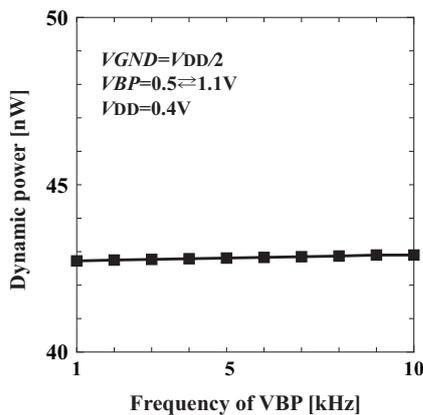


図 14 提案するリークモニタの電力オーバーヘッド [nW]

#### 5.4 リークモニタ自体の電力オーバーヘッド

本リークモニタは小規模な回路であるため、電力オーバーヘッドも極めて小さい。図 10 の  $VBP$  を 1kHz から 10kHz の粒度で変化させたとき、すなわち、ボディバイアスが 1ms から 100 $\mu$ s 程度の粒度で変化させた際に、リークモニタが消費する電力を図 14 示す。全体として 43nW 程度の電力オーバーヘッドであり、これはマイクロコントローラ全体の電力から見て無視出来るほどの量である。

### 6. おわりに

マイクロコントローラ V850 を用いて、動的な基板バイアス制御の効果の算出と、実装において必要となる回路の提案を行った。ボディバイアスを適切に制御することで、低  $V_{DD}$ (0.4V) 下においても 22MHz から 47MHz に最高動作周波数は向上させることができ、リーク電流は待機の時間が十分に長いときゼロバイアスと比較して 89.7%削減できることがわかった。動的にボディバイアスを制御した場合、チップはオフチップのバイアスジェネレータを用いた上で最大で 229.3 $\mu$ s 程度の復帰時間があり、これらはマクロ毎で大きく異なることが分かった。動作モードから待機モードにスリープさせる際には電力オーバーヘッドを上回る待機時間が得られる場合のみボディバイアスを制御を行うことが可能で、BET もメモリとコア、コアとメモリ同

時制御で大きく異なる結果が得られた。コアの BET は最大 19.30ms で、メモリの BET は最大 2.177ms、コアとメモリを同時に制御した際の BET は 3.962ms であり、BET はおよそ数 ms 程度のオーダーであることが明らかとなった。また、命令実行による温度上昇は、低電力マイクロコントローラでは見られず、ボディバイアスの電圧は使用される環境によって静的に決まることが明らかとなった。最後にチップの待機状態から動作状態に復帰した際に、これを知らせる回路を提案し、シミュレーションにより特性を明らかとした。提案の回路は任意のターゲットとなるボディバイアス電圧にチップが遷移したことを知らせることができ、その為の設定も定式化した。従って、チップを動作から待機にスリープさせる際には BET を考慮した制御を行い、待機時の消費電力を確実に削減し、待機状態から動作状態にウェイクアップする際には、提案の検出回路を用いて命令実行を開始するといった動的なボディバイアス制御が可能となった。

謝辞 本研究は東京大学大規模集積システム設計教育センターを通し、シノプシス、日本ケイデンス、メンター、ルネサスエレクトロニクス株式会社の協力で行われたものである。また、本研究は JSPS 科研費 (S) ビルディングブロック型計算システムに関する研究の助成を受けたものである。

#### 参考文献

- [1] Low-Power Electronics Association & Project.: THE 4th.REPORT Ultra Low Voltage Device Project for Low-Carbon Society, <http://www.leap.or.jp/seikahoukokukai4.pdf>.
- [2] Ronald G. Dreslinski, et. al.: Reclaiming Moore's Law Through Energy Efficient Integrated Circuits, *Proceedings of the IEEE*, pp. 254-266 (2010).
- [3] David Fick, et. al.: Centip3De: A3930DMIPS/W Configurable Near-Threshold 3D Stacked System with 64 ARM Cortex-M3 Cores, *Proceedings of International Solid-State Circuits Conference*, pp. 190-192 (2012).
- [4] Takashi Ishigaki, et al.: Ultralow-power LSI Technology with Silicon on Thin Buried Oxide (SOTB) CMOSFET, *Solid State Circuits Technologies, Jacobus W. Swart (Ed.), ISBN: 978-953-307-045-2, InTech*, pp. 146-156 (2010).
- [5] Koichiro Ishibashi, et. al.: A Perpetuum Mobile 32bit CPU with 13.4pj/cycle, 0.14 $\mu$ A sleep current using Reverse Body Bias Assisted 65nm SOTB CMOS technology, *Proceedings of COOL Chips XVII*, pp. 1-3 (2014).
- [6] Hongliang Su, et. al.: Body Bias Control for a Coarse Grained Reconfigurable Accelerator Implemented with Silicon on Thin BOX technology, *Proceedings of Field Programmable Logic and Applications*, pp. 1-6 (2014).
- [7] Masakazu Hioki, et. al.: SOTB Implementation of a Field Programmable Gate Array with Fine-Grained Vt Programmability, *J. Low Power Electroappl.*, pp. 329-332 (2014).
- [8] Daisuke Ikebuchi, et. al.: Geysers-1: A MIPS R3000 CPU

- core with Fine Grain Runtime Power Gating, *Proceedings of the IEEE Asian Solid-State Circuits Conference*, pp. 281-284 (2009).
- [9] Johannes Maximilian Kuehn, et. al.: Spatial and Temporal Granularity Limits of Body Biasing in UTBB-FDSOI, *Proceedings of the 2015 Design Automation & Test in Europe Conference (DATE15)*, pp. 876-879 (2015).
- [10] Kuniaki Kitamori, et. al.: Power optimization of a micro-controller with Silicon On Thin Buried Oxide, *Proceedings of The 18th Workshop on Synthesis And System Integration of Mixed Information technologies*, pp. 68-73 (2013).
- [11] Shohei Nakamura, et. al.: Measurement of the Minimum Energy Point in Silicon on Thin-BOX(SOTB) and Bulk MOSFET, *Proceedings of International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon*, pp. 193-196 (2015).
- [12] Toshihiro Takeshita, et. al.: Analyzing the Impacts of Simultaneous Supply and Threshold Voltage Tuning on Energy Dissipation in VLSI Circuits, *IEICE Technical Report (IEICE-VLD2014-129)*, Vol. 114, No. 426, pp. 111-116 (2015).
- [13] Hayate Okuhara, et. al.: Time Analysis of Applying Back Gate Bias for Reconfigurable Architectures with SOTB MOSFET, *Proceedings of The Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI2015)*, pp. 299-304 (2015).
- [14] Hayate Okuhara, et. al.: A Leakage Current Monitor Circuit Using Silicon on Thin BOX MOSFET for Dynamic Back Gate Bias Control, *Proceedings of the COOLChipsXVIII*, pp. 1-3 (2015).
- [15] Matthew Guthaus, et. al.: MiBench Version 1.0, <http://wwwweb.eecs.umich.edu/mibench/>.
- [16] David Brooks, et. al.: Dynamic Thermal Management for High-Performance Microprocessors, *Proceedings of High-Performance Computer Architecture*, pp. 171-182 (2001).
- [17] Tadahiro Kuroda, et. al.: A -1.9-V, 150-MHz, 10-mW, 4 mm<sup>2</sup>, 2-D Discrete Cosine Transform Core Processor with Variable threshold -Voltage (VT) Scheme, *IEEE Journal of Solid-State Circuits.*, pp. 1770-1779 (1996).
- [18] HeungJun Jeon, et. al.: Standby Leakage Power Reduction Technique for Nanoscale CMOS VLSI Systems, *IEEE Transactions on Instrumentation And Measurement*, pp. 1127-1133 (2010).
- [19] Neil H.E. Weste, et. al.: *CMOS VLSI Design A Circuits and Systems Perspective*, Addison Wesley, 4 edition (2010).



北森 邦明

2013 年慶應義塾大学理工学部卒業。  
2015 年同大学大学院修士課程修了。



宇佐美公良

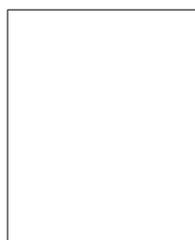
1982 年早稲田大学理工学部電気工学科卒業。1984 年同大学大学院理工学研究科電気専攻修了。2000 年早稲田大学より博士 (工学) の学位を授与。現在、芝浦工業大学情報工学科教授。電子情報通信学会、IEEE、ACM 会員。

低電力 LSI の研究に従事。



天野英晴 (正会員)

1986 年同大学大学院理工学研究科電気工学専攻博士課程修了。工学博士。現在、同大学理工学部情報工学科教授。計算機アーキテクチャの研究に従事。



奥原 颯

2014 年中央大学理工学部卒業。現在慶應義塾大学大学院修士課程。低電力 LSI および低電力計算機アーキテクチャの研究に従事。