

# 整数計画問題を用いたパイプライン型 CGRA のボディバイアス電圧最適化

小島 拓也<sup>†</sup> 安藤 尚輝<sup>†</sup> 奥原 颯<sup>†</sup> Ng.Doan Anh Vu<sup>†</sup> 天野 英晴<sup>†</sup>

<sup>†</sup> 慶應義塾大学大学院 理工学研究科 223-8522 神奈川県横浜市港北区日吉 3-14-1

E-mail: †{tkojima,ando,hayate,doan,hunga}@am.ics.keio.ac.jp

あらまし バッテリー駆動型のデバイスでは一定の性能を低消費電力で実現することが要求される。素粒度再構成可能アクセラレータ (CGRA: Course Grained Reconfigurable Architecture) は高いエネルギー効率を持つことから関心が集まっている。CGRA の一種である VPCMA (Variable Pipelined Cool Mega Array) が提案されている。VPCMA は低電力で高い性能を得ることを目的としたパイプライン型の CGRA であり、パイプライン構成とボディバイアス電圧を制御することで性能と電力のトレードオフを取ることができるアーキテクチャとして提案された。本研究では電力を最小化するボディバイアス電圧を決定するために整数計画問題を利用する手法を提案した。整数計画問題を用いることで先行研究と比べて短時間で最適解を得ることができた。この手法のシミュレーションを行った結果ボディバイアス制御をしない場合と比べて平均 19.3% の電力削減率が得られた。

キーワード 整数計画問題, ILP, 電力最適化, SOTB, CGRA, ボディバイアス制御, 可変パイプライン

## Power Optimization for Pipelined CGRA with Integer Linear Program

Takuya KOJIMA<sup>†</sup>, Naoki ANDO<sup>†</sup>, Hayate OKUHARA<sup>†</sup>, Ng. DOAN ANH VU<sup>†</sup>, and Hideharu AMANO<sup>†</sup>

<sup>†</sup> Graduate School of Science and Technology, Keio University Hiyoshi 3-14-1, Kohoku-ku, Yokohama, Kanagawa, 223-8522 Japan

E-mail: †{tkojima,ando,hayate,doan,hunga}@am.ics.keio.ac.jp

### 1. はじめに

近年 IoT への注目が高まり、ウェアラブルデバイスを始めとする多くのバッテリー駆動型のデバイスでは極めて小さな電力で高い性能を達成することが要求されている。この要求を満たすデバイスとして高いエネルギー効率を持つ CGRA (Course-Grained Reconfigurable Architecture: 粗粒度再構成可能アーキテクチャ) がある。CGRA は単純な演算を行う PE (Processing Element) をアレイ上に持ち、各 PE は相互に接続されネットワークを構成している。各 PE での演算や接続を変化させることで高効率に計算を行うことができる。

我々は CMA (Cool Mega Array) [2] のコンセプトを踏襲した低電力 CGRA である VPCMA (Variable Pipelined Cool Mega Array) [1] を開発した。VPCMA は動的に再構成を行わない PE アレイと小さなマイクロコントローラを持つ。マイクロコントローラにはバンク化されたメモリがあり、このメモリと PE アレイとの間のデータ転送などを行う。PE アレイは可変的な

パイプライン構造を持ち、対象とするアプリケーションや要求性能に応じて適切な構造へ変化させることができる。また、VPCMA には FDSOI (Fully Depleted Silicon On Insulator) の一種である SOTB (Silicon On Thin Buried Oxide) プロセスを適用した。これにより、ボディバイアス制御を行うことで性能とリーク電力のトレードオフを調整することができる。

VPCMA の電力を削減する試みとしてまず初めにパイプライン構成のみを変化させる手法が検討された [1]。これに加えてボディバイアス制御を行い、リーク電力を削減する手法が検討された [3]。しかし、問題の複雑さから [3] では限られた数のパイプライン構成のみを検討していた。本研究ではこの問題のモデル式を見直し、整数計画問題へ帰着できることを明らかにした。整数計画問題を用いることで、遺伝的アルゴリズムを代表とするメタヒューリスティクスなどの近似解を与える手法と異なり、短時間で数学的に最適解を得ることが可能になった。本研究の最適化結果は実チップの設計に基づくパラメータを用いたものであり、この結果は現在評価中の実チップに適用する

ことが可能である。

以降では 2. 節で VPCMA の構成と SOTB 技術の概要を説明する。3. 節では予備評価および最適化手法に関して説明する。4. 節では電力最適化結果の評価を行う。5. 節では本論文の結論を述べる。

## 2. VPCMA

### 2.1 VPCMA の構成

VPCMA は単純な CGRA である SF-CGRA (Straight Forward CGRA) に分類される。SF-CGRA はパイプライン化された PE アレイ、データメモリ、それらを接続するネットワークを持つ。計算に使用されるデータはメモリから読みだされ、置換網を通り、パイプライン化された PE アレイの入力部へ転送される。メモリと PE アレイのデータ転送における柔軟性を高めるために用いられる。計算された結果は PE アレイから出力され別の置換網を通してメモリへ書き込まれる。これらのデータ転送はマイクロコントローラによって制御され、PE アレイでの演算はコンフィグレーションデータによって設定される。SF-CGRA は一般的な CGRA と比べて少ない頻度でコンフィグレーションデータを動的に再構成するものもある。SF-CGRA の代表例は Piperench [4]、Kilo-core [5]、S5 engine [6] である。

VPCMA は演算に必要な他のエネルギー消費を削減するために SF-CGRA の中でも単純なアーキテクチャとなっている。各 PE からレジスタファイルを取り除くことによって PE アレイ内の各 PE にクロック分配を行う必要を無くしている。図 1 に示すように 12 列 8 行の PE でアレイを構成しており、各行の間にパイプラインレジスタが配置されている。PE アレイの入力には fetch レジスタが、出力には gather レジスタが接続されていて、fetch レジスタに入力データを書き込むことで PE アレイでの計算が開始し、数クロック後に gather レジスタに計算結果が書き込まれる。図 1 には PE の構成も示している。PE は ALU (arithmetic logic unit)、入力のセクタ、SE (switching element) から構成されている。PE 間の相互接続にはダイレクトリンクとアイランドスタイルのリンクの 2 種類が存在する。ダイレクトリンクは ALU の出力を SE を経由することなく北西方向、北方向、北東方向の PE へ転送するリンクである。アイランドスタイルのリンクは SE を経由し ALU の出力だけでなく、隣接する PE からの入力を転送することも可能である。南方向へのリンクは計算結果のみを転送するために使用される。

PE アレイの各行の間に配置されたパイプラインレジスタは入力データをラッチするかバイパスするか 2 つの動作が選択可能であり、コンフィグレーションデータによって指定される。これによって VPCMA はパイプライン構造を変更させることができる。図 2 にパイプラインレジスタの実装方法を示す。マルチプレクサはコンフィグレーションデータに応じてバイパスからのデータかレジスタからのデータを選択して出力する。バイパスモードの場合、マイクロコントローラは各レジスタに対してクロックゲーティングを施し、電力を削減を図っている。

マイクロコントローラはマイクロコードを実行して、データ

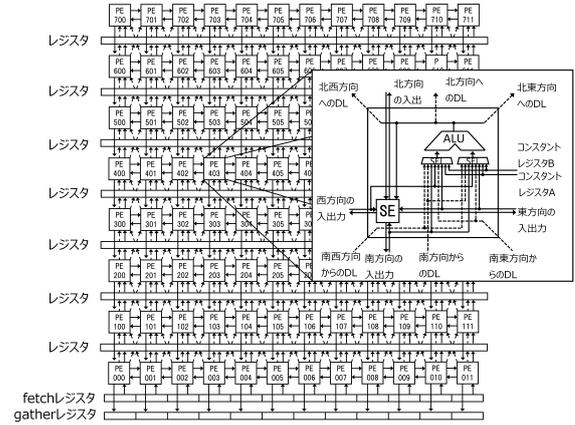


図 1: PE アレイの構成と PE の構成

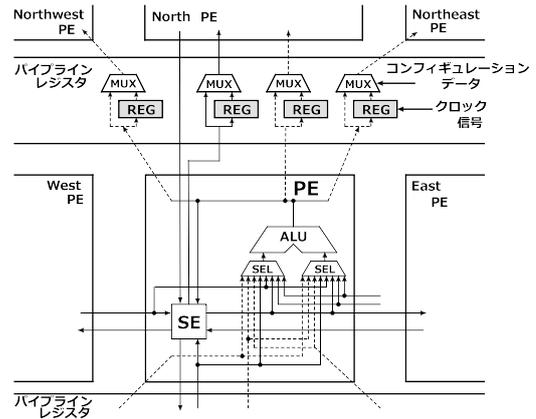


図 2: パイプラインレジスタの構成

メモリから読み込んだデータを fetch レジスタへ転送し、また gather レジスタから計算結果をデータメモリへ書き戻す。前者を fetch 命令と呼び、後者を gather 命令と呼ぶ。gather 命令は発行時すぐには実行されず、数クロックの遅延後に実行される。これは PE アレイからの計算結果はデータ入力後すぐには出力されないからである。データメモリと fetch, gather レジスタとのデータ転送を柔軟にするためにデータマニピュレータを使用している。これは fetch, gather レジスタと対応するデータメモリのアドレスをテーブルを用いて指定することで複雑なバンクアクセスを可能にしている。

### 2.2 SOTB 技術

SOTB (Silicon on Thin Buried Oxide) は超低電力デバイス技術研究組合 (LEAP) によって開発された SOI<sup>(注1)</sup> の一種である。10nm 程度の極薄の SOI 層と BOX 層<sup>(注2)</sup> がウェル基板の上に積層されている。標準的なバルク CMOS テクノロジでは微細化に伴いスレッショルド電圧のばらつきなどの特性のばらつきが問題であった。SOTB は特性ばらつきが小さくバルクと比べて半分程度のばらつきに抑制されている。[7] これによりスレッショルド電圧を下げるが可能となり、低電力で動作させることが可能となる。さらに、BOX 層の下にウェル基板にポディバイアス電圧を印加することによりリーク電流を制御す

(注1): SOI: Silicon on Insulator

(注2): BOX: Buried Oxide

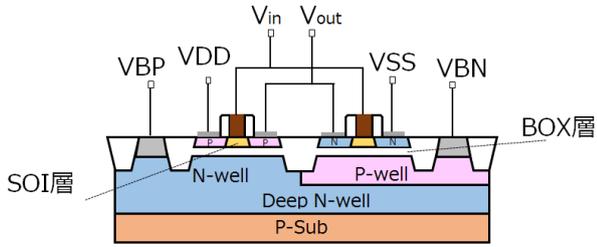


図 3: SOTB トランジスタの構造

ることが可能である。この印加する電圧をボディバイアス電圧と呼び、ボディバイアス電圧を制御することによりリーク電力を最適化することができる。

図3にSOTB トランジスタの構造を示す[8]。ボディバイアス電圧のうち nMOS 側の電圧を  $V_{BN}$ 、pMOS 側の電圧を  $V_{BP}$  とする。電源電圧を  $V_{DD}$  とする時、以下のように  $V_{BP}$ 、 $V_{BN}$  を設定すると nMOS、pMOS の性能のバランスをとることができる。

$$V_{BN} + V_{BP} = V_{DD} \quad (1)$$

$V_{BN}$  の値が負のときをリバースボディバイアス、0 のときをゼロバイアス、正のときをフォワードボディバイアスと呼ぶ。ボディバイアス電圧を制御することにより発生する電力増加は極めて小さい。[9], [10] ではボディバイアス電圧のジェネレータが提案されており、実チップを用いたテストでこれらの電力オーバーヘッドが小さいことが示されている。

### 2.3 行レベルのボディバイアス制御

マイクロコントローラによるデータ転送と PE アレイでの計算はそれぞれオーバーラップして実行されるため、これらの性能のバランスを揃える必要がある。このために CMA-SOTB [11] では PE アレイとデータメモリを含むマイクロコントローラを別々のボディバイアスドメインとして、ボディバイアス制御を行っていた。つまり、PE アレイ全体に一律のボディバイアス電圧を与えていた。しかし、VPCMA が提案された [1] ではゼロバイアスのみを想定し、パイプライン構造に焦点を当てていた。

本研究では各パイプラインステージの遅延を揃えるために、PE アレイに対して行レベルのボディバイアスドメインを適用して電力最適化を行う手法を提案する。パイプラインレジスタは PE アレイの外側にあり、マイクロコントローラと同じボディバイアスドメインとなる。そのため、マイクロコントローラと同じクロック周波数で動作することが可能である。

行レベルのボディバイアス制御において、リバースバイアスを用いるとクリティカルパスとならないパイプラインステージの遅延を大きくし、各パイプラインステージの遅延時間の差を小さくすることができる。一方フォワードバイアスをクリティカルパスのステージに与えると動作可能な周波数をあげ、性能を向上させることが可能になる。

## 3. 提案手法

VPCMA においてはボディバイアス電圧とパイプライン段数

表 1: 性能-電圧のトレードオフ

	パイプライン段数	
	大	小
性能	高	低
レジスタ、クロックツリーの動的電力	増加	減少
グリッチの動的電力	減少	増加
	ボディバイアス電圧	
	フォワードバイアス	リバースバイアス
性能	低	高
リーク電力	減少	増加

を同時に変化させる場合、表1に示すトレードオフが存在する。例えば、使用するパイプラインレジスタを増やし、段数を大きくするとパイプラインレジスタ、クロックツリーの電力が増加する一方で、グリッチによる電力は低下する。グリッチとは計算には本来不要なスイッチングにより消費される電力であり、組み合わせ回路の各入力信号の遅延時間が異なることによって発生する。パイプラインレジスタを使用すると、PE の行で発生したグリッチによるスイッチングが次の行へ伝搬されなくなるためグリッチによる電力が削減される。

本研究ではボディバイアス電圧をパイプライン構造を考慮しながら決定する手法を提案する。

### 3.1 問題定義

前述のトレードオフを元に、与えられたアプリケーションに対して性能と電力を最適化する二目的最適化問題を定義する。この問題で用いるモデル式を以下に示す。

$$V_{ij} = \begin{cases} 1 & \text{if } i \text{ 番目の PE 行に } V_{BN_j} \text{ を与える} \\ 0 & \text{otherwise} \end{cases} \quad (2)$$

$$preg_k = \begin{cases} 1 & \text{if } k \text{ 番目のパイプラインレジスタを使用} \\ 0 & \text{otherwise} \end{cases} \quad (3)$$

$$P_{dyn} = f_{req} \times (E_{comb}(preg_k) + \sum_{k=0}^6 (E_{reg} + E_{clk})preg_k) \quad (4)$$

$$P_{stat} = \sum_{i=0}^7 \sum_{j=0}^{12} P_{leak,row,j} V_{ij} + P_{leak,reg} + P_{leak,clk} \quad (5)$$

$$D_l = \sum_{i=0}^7 \sum_{j=0}^{12} D_{PE,j} V_{ij} \quad (6)$$

$V_{BN_j}$  は  $j$  番目のボディバイアス電圧であり、後述するように本研究では 13 種類のボディバイアス電圧を用いるため  $j$  の範囲は 0 ~ 12 を取る。 $V_{ij}$  は各行へのボディバイアス電圧の割り当てを示しており、VPCMA は 8 行の PE 行を持つため  $i$  は 0 ~ 7 の範囲を取る。 $preg_k$  は  $k$  番目のパイプラインレジスタのコンフィグレーションであり、VPCMA では 7 本のパイプラインレジスタを持つため  $k$  は 0 ~ 6 の範囲を取る。 $P_{dyn}$ 、 $P_{stat}$

表 2: 予備評価の環境

設計	verilogHDL
プロセス	LEAP65nm/LPT-8
論理合成	Synopsys Design Compiler 2016.03-SP4
配置配線	Synopsys IC Compiler 2016.03-SP4
温度	25°C
遅延、リーク電力	Synopsys HSIM 2012.06-SP2 VDD: 0.55
ダイナミック電力	Synopsys Prime Time 2012.12-SP3 VDD: 0.55 V
動作シミュレーション	Cadence NC-Verilog 10.20-s131

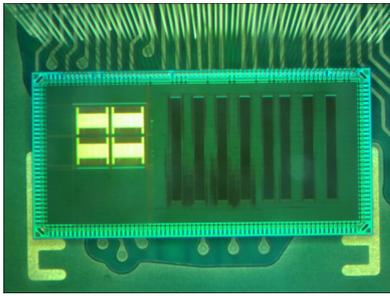


図 4: VPCMA の実チップ写真

はそれぞれ PE アレイの動的電力、静的電力を表す。 $E_{comb}$ 、 $E_{reg}$ 、 $E_{clk}$  はそれぞれ組み合わせ回路、レジスタ、クロックツリーでの消費エネルギーを表す。 $f_{req}$  は要求される動作周波数である。 $P_{leak,row,j}$  は  $VBN_j$  を印加した時の PE 行のリーク電力、 $P_{leak,reg}$ 、 $P_{leak,clk}$  はレジスタ、クロックツリーでのリーク電力である。 $D_l$  は PE アレイ内の全データパスのうち  $l$  番目データパスの遅延時間を表し、 $D_{PE,j}$  は  $VBN_j$  を印加した時の PE の遅延時間を表す。

本研究では  $P_{dyn}$ 、 $P_{stat}$  の和を最小化を行う最適化問題を扱う。

### 3.2 予備評価

3.1 節で示したモデル式で用いられる  $P_{leak,row,j}$  などのパラメータを得るために予備評価としてシミュレーションを行った。予備評価のための評価環境を表 2 に示す。また、シミュレーションは VPCMA の実チップ設計データを元に行った。図 4 に VPCMA の実チップ写真を示す。

$P_{leak,row,j}$ 、 $D_{PE,j}$  は HSIM を用いて VBN を -2.0~0.4V の 0.2V ごとにシミュレーションを行った。 $P_{leak,row,j}$  は PE 行全体に Low レベルを入力した場合と High レベルを入力した場合のリーク電力の平均値とした。 $D_{PE,j}$  は ALU での演算種類と入力値に依存する。そこで PE の入力値は IC compiler のタイミング解析を元に演算種類ごとにクリティカルパスと成り得る入力値を決定し、シミュレーションを行った。

$E_{comb}$ 、 $E_{reg}$ 、 $E_{clk}$  は実行するアプリケーションによって異なる。本研究では表 3 に示す 4 つのアプリケーションをシミュ

表 3: シミュレーションしたアプリケーション

アプリケーション	内容	PE アレイ使用行数
af	24bit(RGB) アルファブレンダ	7 行
sf	8bit セピアフィルタ	8 行
sepia	24bit(RGB) セピアフィルタ	6 行
gray	24bit(RGB) グレースケール	8 行

レーションした。PrimeTime を用いて、固定の周波数、0.55 V の電源電圧 VDD において組み合わせ回路、レジスタ、クロックツリーの動的電力をシミュレーションし、それぞれ周波数で割った値を  $E_{comb}$ 、 $E_{reg}$ 、 $E_{clk}$  とした。

解空間の分析を行うとそのサイズは  $2^7 \times 13^8$  である。まず、VPCMA は 7 本のパイプラインレジスタを持ち、各々が 2 つの動作モードを持つため  $2^7 = 128$  パターンのパイプライン構造を取り得る。また行レベルのボディバイアス制御の場合、各 PE 行が 13 通りの VBN を取り得るため  $13^8$  パターンのボディバイアス電圧が存在する。[3] では固定的なパイプライン構造において、すべてのボディバイアス電圧のパターンを計算すると、1.6GHz Dual-core Intel Core-i5、8GB の RAM の環境でおよそ 3 時間を要した。

このような大きな解空間と  $P_{stat}$  のような複雑な式を扱う場合、効率的に準最適解を求めるメタヒューリスティックのような手法を用いることが多い。しかし、さらに分析を行った結果本研究で扱う問題は整数計画問題 (ILP: Integer Linear Program) で解くことが可能であると明らかになった。ILP はメタヒューリスティックとは異なり、最適解を求めることが可能である。パイプライン構造を固定、つまり  $preg_i$  を固定すると  $P_{dyn}$  は VBN によらず一定の値となる。したがって、残りの式は線形となり ILP 解くことが可能となる。パイプライン構造は 128 パターンあるため、128 個の ILP を解くことでパイプライン構造、ボディバイアス電圧を同時に制御した場合の最適解を得ることができる。さらに、この問題の目的関数である性能は ILP の制約条件として単純化することができる。したがって、実行するアプリケーション、パイプライン構造、要求性能が与えられた上で、消費電力を最小化するボディバイアス電圧を求める問題へと再定義する。このアルゴリズムのフローを図 5 に示す。

### 3.3 ILP モデル

上述の ILP のモデル式を以下に示す。

$$\min P_{stat,rows} = \sum_{i=0}^7 \sum_{j=0}^{12} P_{leak,row,j}(V_{ij}) \quad (7)$$

subject to

$$\sum_{j=0}^7 V_{ij} = 1 \quad \forall i = \{0, 1, \dots, 7\} \quad (8)$$

$$D_l \leq D_{req}, \quad \forall \text{datapath } l \quad (9)$$

$$V_{ij} = \{0, 1\}, \quad \forall i = \{0, 1, \dots, 7\}, \quad (10)$$

$$\forall j = \{0, 1, \dots, 12\}$$

制約条件 (8) は  $i$  番目の行に対して 1 つの VBN を与えるための条件である。制約条件 (9) はすべてのパスの遅延が要求性

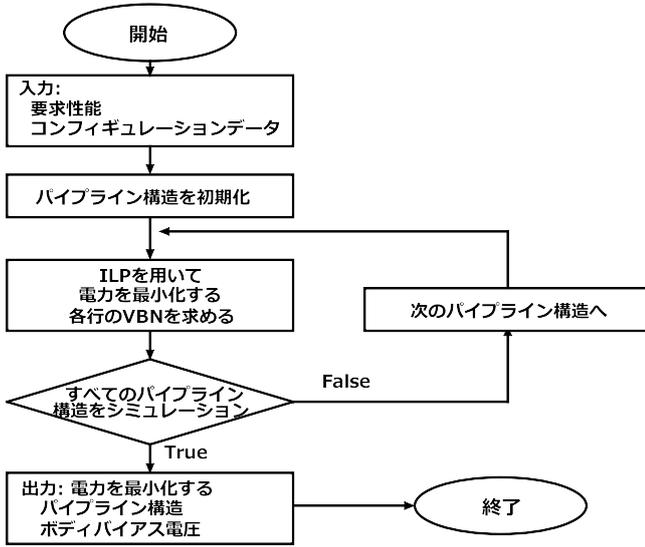


図 5: アルゴリズムフローチャート

表 4: 最適化の結果の例

要求性能:  $3.9 \times 10^8$  ops/s

パイプラインレジスタ $i$	0	1	2	3	4	5	6
$preg_i$	0	0	1	1	0	0	0
行番号	0	1	2	3	4	5	6
VBN	-0.8	-0.8	-1.0	-0.6	-1.2	-1.2	-1.4

要求性能:  $7.8 \times 10^8$  ops/s

パイプラインレジスタ $i$	0	1	2	3	4	5	6
$preg_i$	0	0	1	1	1	0	0
行番号	0	1	2	3	4	5	6
VBN	0.0	0.0	-0.2	0.2	0.2	0.0	0.0

能を満たすための条件である。  $P_{leak,reg}$ ,  $P_{leak,clk}$  に関しては本研究ではボディバイアス電圧制御を行わずに一定の値になるため目的関数に入れる必要はない。

#### 4. 評価

本研究で提案した最適化手法の効果を評価するために様々な要求性能、3. 節で述べた 4 種類のアプリケーションで最適化を行った。表 4 と図 6 にその最適化結果の 2 つの例を示す。性能は 1 秒間に PE アレイで計算できる演算の数で表す。2 つの例はともに VDD: 0.55V、アプリケーションは gray であり、一方は要求性能が  $3.9 \times 10^8$  ops/s、他方は  $7.8 \times 10^8$  ops/s の場合である。この例が示すように最適なパイプライン構造とボディバイアス電圧は要求性能によって異なり、本手法はこれらを正確に求めることができる。3. 節に示したものと同一の環境において 30~300 秒程度ですべてのパイプライン構造の ILP を解き、最適解を得ることができた。

$3.9 \times 10^8$  ops/s が要求される場合、  $preg_i$  はパイプライン段数が 3 であることを意味する。図 6a から  $3.9 \times 10^8$  ops/s のような比較的低い性能が要求される場合、-1.0V などの強いリバースバイアスによってリーク電力は極めて小さくなっている、そのため動的電力が支配的である。一方図 6b に示すように  $7.8 \times 10^8$  ops/s のような高い性能が要求される場合、低い性能の場合ほど静的電力は小さくない。これは要求性能を満たすために、3、4 行目に 0.2V のフォワードバイアスを与えている

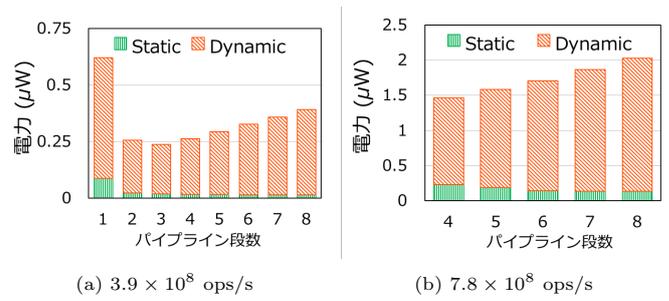


図 6: 各パイプライン段数での最適化結果

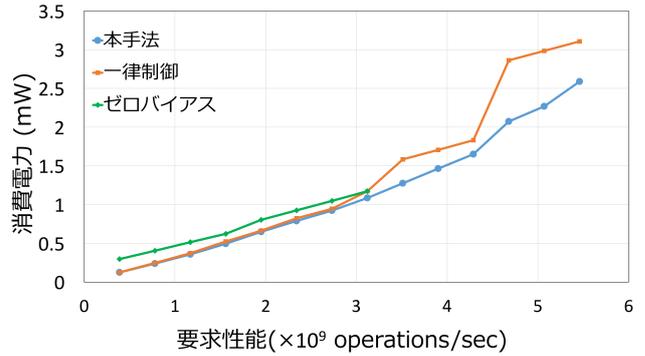


図 7: 制御方法の違いによる比較

ためリーク電力が増加しているためである。

##### 4.1 性能とエネルギー削減

本手法のエネルギー削減効果を確認するために、以下に示す他の 2 つのボディバイアス制御方法との比較を行った。

- PE 全体に同一のボディバイアス電圧 (一律制御)
- ボディバイアス制御を行わない (ゼロバイアス)

図 7 に示すように、ボディバイアス制御を行うと達成可能な性能を高めることができることがわかる。例えば、ゼロバイアスでは  $3.12 \times 10^9$  ops/s を超える性能は実現できない。しかし、一律制御と本手法はそれ以上の性能を実現することができる。

さらに、一律制御の場合と異なり、本手法では高い要求性能においても急激な電力増加が発生していない。一律制御の場合は要求を満たすために PE 全体にフォワードバイアスを与える必要があるが、本手法ではクリティカルパスのボトルネックとなる PE 行のみにフォワードバイアスを適用すればよいので一律制御と比べリーク電力の増加を抑えることができる。

各アプリケーションでシミュレーションした全要求性能の平均消費エネルギーを計算し、3 つの制御手法の比較を行った。図 8 は本手法の他の 2 つの手法に対するエネルギー削減率を示している。本手法を用いることで gray アプリケーションの時にゼロバイアスに対して 24.5%、一律制御に対して 16.1% のエネルギー削減を達成している。また、全アプリケーションの平均値ではゼロバイアスに対して 19.3%、一律制御に対して 11.8% のエネルギー削減率を示している。

ボディバイアス制御の効果を確認するために静的電力に焦点を当てる。図 9 は gray アプリケーションの時のゼロバイアス、一律制御に対する本手法の静的電力の削減率を表している。ゼロバイアスと比べて最大 91.9%、一律制御と比べて最大

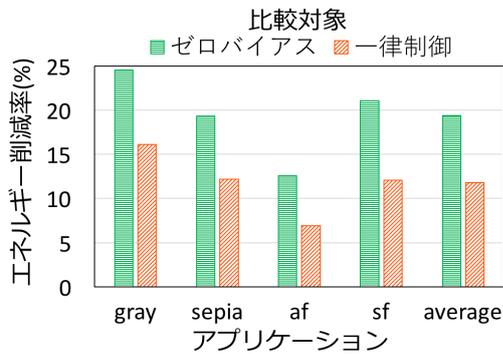


図 8: 各アプリケーションでのエネルギー削減率

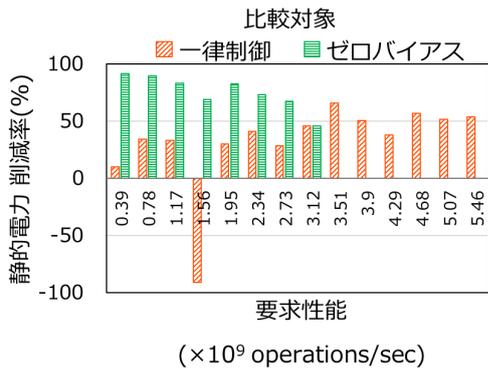


図 9: 一律制御、ゼロバイアスと静的電力の比較

65.8%の削減率を示した。また図 9 によると本手法の静的電力は必ずしも一律制御より小さいとは限らないことを明らかにしている。例えば  $1.56 \times 10^9$  が要求された場合、本手法の静的電力は一律制御と比べて 90.9%高くなっている。しかしながら、全体の電力は必ず本手法の方が小さくなっている。こうした静的電力が増加する要求性能では最適なパイプライン構造が変化する点でもあることが明らかとなり、パイプライン構造またはボディバイアス電圧のどちらか一方のみを考慮して最適化を行った場合、このように静的電力と動的電力のバランスことはできない。

## 5. 結 論

本研究では、パイプライン型 CGRA に対してパイプライン構造とボディバイアス電圧を制御することで性能と電力の最適化を行う手法を提案した。一見して複雑で大きな解空間を持つ最適化問題であるが、適切なモデル式を用いることで整数計画問題に単純化することができ、短時間で最適解を得ることができていることを明らかにした。シミュレーションの結果、本手法を用いることで要求性能を満たしながら従来の手法と比べてさらなる低消費電力を実現できた。シミュレーションを行ったアプリケーションにおいては、平均でゼロバイアス時と比べ 19.3%、PE アレイ全体で一律にボディバイアス制御を行う場合と比べて 11.8%のエネルギー削減率を示した。

本手法のシミュレーションで使用した各種パラメータは実際に開発したチップの設計に基づいているが、実チップ上での評価はまだ実施しておらず今後行う予定である。また、本研究では PE アレイの各 PE への演算のマッピングは固定して最適化

を行っている。しかし、ボディバイアスとパイプライン構造の制御はマッピングに依存するため、マッピングも考慮して最適化を行うことでさらに最適なボディバイアス電圧とパイプライン構造を発見できる可能性がある。

## 謝 辞

本研究は、JSPS 科研費 (S) ビルディングブロック型計算システムに関する研究の助成を受けたものである。また、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で行われたものです。関係者の皆様に感謝致します。

## 文 献

- [1] N. Ando, K. Masuyama, H. Okuhara and H. Amano: "Variable pipeline structure for coarse grained reconfigurable array cma", 2016 INTERNATIONAL CONFERENCE ON FIELD-PROGRAMMABLE TECHNOLOGY, pp. 231–238 (2016).
- [2] N. Ozaki, Y. Yasuda, M. Izawa, Y. Saito, D. Ikebuchi, H. Amano, H. Nakamura, K. Usami, M. Namiki and M. Kondo: "Cool mega-arrays: Ultralow-power reconfigurable accelerator chips", IEEE Micro, **31**, 6, pp. 6–18 (2011).
- [3] 小島, 安藤, 松下, 奥原, 天野: "パイプライン段数とボディバイアス電圧制御によるパイプライン型 cgra の電力削減手法の検討", vol. 116, no. 510, CPSY2016-140 信学技報, pp. 51–56 (2017).
- [4] H. Schmit, D. Whelihan, A. Tsai, M. Moe, B. Levine and R. R. Taylor: "Piperench: A virtualized programmable datapath in 0.18 micron technology", Custom Integrated Circuits Conference, 2002. Proceedings of the IEEE 2002IEEE, pp. 63–66 (2002).
- [5] B. Levine: "Kilocore: Scalable, High Performance and Power Efficient Coarse Grained Reconfigurable Fabrics", Proc. of International Symposium on Advanced Reconfigurable Systems, pp. 129–158 (2005).
- [6] J. M. Arnold: "S5: the architecture and development flow of a software configurable processor", Proceedings. 2005 IEEE International Conference on Field-Programmable Technology, 2005.IEEE, pp. 121–128 (2005).
- [7] Y. Morita, R. Tsuchiya, T. Ishigaki, N. Sugii, T. Iwamatsu, T. Ipposhi, H. Oda, Y. Inoue, K. Torii and S. Kimura: "Smallest vth variability achieved by intrinsic silicon on thin box (sotb) cmos with single metal gate", 2008 Symposium on VLSI Technology, pp. 166–167 (2008).
- [8] T. Ishigaki, N. Sugii, R. Tsuchiya, S. Kimura and Y. Morita: "Ultralow-power LSI Technology with Silicon on Thin Buried Oxide (SOTB) CMOSFET.", chapter 7, pp. 145–156, INTECH Open Access Publisher (2010).
- [9] Hiroki Nagatomi, et. al.: "A 361nA Thermal Run-away Immune VBB Generator using Dynamic Substrate Controlled Charge Pump for Ultra Low Sleep Current Logic on 65nm SOTB", Proceedings of the SOI-3D-Subthreshold Microelectronics Technology Unified Conference, pp. 1–2 (2014).
- [10] M. Blagojevi, M. Cochet, B. Keller, P. Flatresse, A. Vladimirescu and B. Nikoli: "A fast, flexible, positive and negative adaptive body-bias generator in 28nm fdsoi", 2016 IEEE Symposium on VLSI Circuits (VLSI-Circuits), pp. 1–2 (2016).
- [11] H. Su, Y. Fujita and H. Amano: "Body bias control for a coarse grained reconfigurable accelerator implemented with silicon on thin box technology", 2014 24th International Conference on Field Programmable Logic and Applications (FPL), pp. 1–6 (2014).