

# 多目的遺伝的アルゴリズムを用いたCGRA マッピング最適化手法と 実チップ評価

小島 拓也<sup>†</sup> 安藤 尚輝<sup>†</sup> 松下 悠介<sup>†</sup> 奥原 颯<sup>†</sup> Ng. Doan Anh Vu<sup>†</sup>

天野 英晴<sup>†</sup>

<sup>†</sup> 慶應義塾大学大学院 理工学研究科 223-8522 神奈川県横浜市港北区日吉 3-14-1

E-mail: †{tkojima,ando,matsushita,hayate,doan,hunga}@am.ics.keio.ac.jp

**あらまし** 粗粒度再構成可能アーキテクチャ (CGRA: Coarse-Grained Reconfigurable Architecture) 向けの様々な最適化手法が提案されているが、さらなる電力削減のための最適化は未だ複雑な問題のままである。さらに、これらの多くはシミュレーションによる評価に基づいており、実チップへ適用可能かどうかに関して疑問の余地が残る。そこで、我々は実チップ化された CCSOTB2 と呼ばれる CGRA チップを用いて、提案する最適化手法の評価を行う。提案する最適化手法にはメタヒューリスティックの一種である多目的遺伝的アルゴリズムを用いて、アプリケーションマッピングを含むすべての再構成可能な項目の最適化を同時に行う。実チップ実験の結果、既存手法と比較して平均 14.2% の電力削減を達成した。また、多目的遺伝的アルゴリズムを用いたことによりユーザは電力だけでなく、性能やスループットに優れるマッピングを選ぶこともでき、多様な要求に応じることが可能となる。

**キーワード** CGRA, 遺伝的アルゴリズム, 多目的最適化, 実チップ測定, ボディバイアス制御

Takuya KOJIMA<sup>†</sup>, Naoki ANDO<sup>†</sup>, Yusuke MATSUSHITA<sup>†</sup>, Hayate OKUHARA<sup>†</sup>,

Ng. Doan Anh Vu<sup>†</sup>, and Hideharu AMANO<sup>†</sup>

<sup>†</sup> Graduate School of Science and Technology, Keio University Hiyoshi 3-14-1, Kohoku-ku, Yokohama,  
Kanagawa, 223-8522 Japan

E-mail: †{tkojima,ando,matsushita,hayate,doan,hunga}@am.ics.keio.ac.jp

## 1. はじめに

近い将来、IoT デバイスやセンサーネットワーク、ウェアラブルコンピューティングなどがより広く普及すると予測されている。しかし、これらのデバイスでは高い処理能力と低電力性の両方が同時に求められるため汎用の CPU は適さない。そこで、計算負荷の高い部分を肩代わりする効率的なアクセラレータが必要となる。

粗粒度再構成可能アーキテクチャ CGRA (Coarse-Grained Reconfigurable Architecture) はこれらの要求を満たす一つのプラットフォームである。多くの CGRA は多数の PE (Processing Element) が 2 次元のアレイ状に配置され、それらは相互に接続される。PE は単純な ALU、SE (Switch Element) から構成されており、ALU で実行される演算と相互接続を再構成することで効率的に処理を行うことができる。

CMA (Cool Mega Array) は計算に不要な電力の削減を図った低電力 CGRA の一つである [1]。CMA はサイクル単位での

再構成 (動的再構成) しないことで、大幅なダイナミック電力の削減を実現している。これによる柔軟性の低下を避けるために小規模なマイクロコントローラを備えており、PE アレイとデータメモリの間の柔軟なデータ転送を可能にしている。しかし、CMA の PE アレイはレジスタファイルを持たない巨大な組み合わせ回路のみで構成されるため、長いクリティカルパス遅延が性能のボトルネックとなっていた。

VPCMA (Variable Pipeline Cool Mega Array) はこの問題を解消するために提案された改良型 CMA である [2]。PE アレイは必要最小限のレジスタによってパイプライン化され、各々のパイプラインレジスタは選択的に利用される。これにより再構成可能なパイプライン構造を実現し、電力オーバーヘッドを必要最低限に抑えながら高い性能とスループットを得ることができる。また、VPCMA は FD-SOI (Fully Depleted Silicon On Insulator) の一種である 65nm の SOTB (Silicon on Thin Buried Oxide) プロセスで設計されていて、リーク電力と性能のバランスを調整するボディバイアス制御が適用可能である。

一般に CGRA のコンパイラは NP 困難であると知られているタスクマッピングを行う必要がありその処理は複雑化する。そこで、様々なヒューリスティクスが提案されている [3], [4]。ところが、VPCMA を最大限に活用するためには、タスクマッピングに加えてパイプライン構造とボディバイアス電圧の決定も行う必要があり、さらなる複雑化を招く。本研究ではこの複雑な処理を行うため多目的遺伝的アルゴリズムをベースとしたコンパイラを開発し、本手法の有効性を実チップ評価により確認する。本手法はパイプライン構造、ボディバイアス電圧を同時に考慮しながら最適なタスクマッピングを決定することを目標とする。

## 2. 背景と関連研究

典型的な CGRA ではサイクル単位で構成を変化させる動的再構成をサポートしているが、これは大きなダイナミック電力を消費する。そこで、いくつかの CGRA ではエネルギー効率を高めるために静的再構成もしくは再構成頻度を抑えた動的再構成を採用している。我々はこれらの CGRA を SF-CGRA (Straight Forward CGRA) と呼ぶ。SF-CGRA はパイプライン化された PE アレイとデータメモリ、そしてその間に柔軟なデータ転送を実現する置換ネットワークを備えている。入力データはデータメモリからロードされるとこの置換ネットワークを通じて PE アレイへ入力される。PE アレイからの出力データも同様にしてデータメモリへ書き戻される。SF-CGRA の例として Pipherench [7]、Kilo-core [8]、EGRA [9] などがある。

CMA アーキテクチャも静的再構成型の SF-CGRA である [1]。CMA の PE はレジスタファイルを持たず、PE アレイが完全な組み合わせ回路で構成されているため、PE アレイへのクロック分配を必要としない。これによって演算に不要なダイナミック電力を最低限に抑えている。しかし、巨大な組み合わせ回路故にクリティカルパス遅延が増大し、性能向上には限界があった。

### 2.1 VPCMA アーキテクチャ

そこで改良型の CMA である VPCMA が提案された [2]。VPCMA の概要を図 1 に示す。8 × 12 の PE アレイ、マイクロコントローラ、データマニピュレータ、そしてバンクメモリから構成されている。元の CMA と異なり、VPCMA は各 PE 行の間に計 7 本のパイプラインレジスタが挿入されている。

入力データが Fetch Register へ送られると、PE アレイは自動的に計算を開始する。数クロック後に計算結果が Gather Register へ格納される。PE 間の相互接続には 2 種類のタイプが存在する。一方は図中の実線で表された各 SE によって構成されるメッシュネットワークであり、他方は図中の点線で表された ALU 間を直接結ぶダイレクトリンクである。ダイレクトリンクは北、北西、北東方向の 3 方向へ広がっている。

パイプラインレジスタを 7 本のみに制限しても、未だパイプライン化の電力オーバーヘッドは大きい。そこで、VPCMA ではユーザがパイプラインレジスタを選択的に利用することを可能にし、再構成可能なパイプライン構造を実現している。図 1 にはそのためのパイプラインレジスタの実装も示している。コンフィギュレーションデータに従いマルチプレクサはレジスタ

のデータもしくは前段 PE の ALU が出力するデータのどちらか一方を後段 PE へ送る。パイプラインレジスタが利用されない場合はこれらはクロックゲーティングが施される。

Fetch Register と Gather Register はそれぞれ PE アレイの入力と出力に接続されている。マイクロコントローラはこれらのレジスタと 12 のバンクに分けられたデータメモリとの間のデータ転送を制御する。マイクロコントローラが Fetch 命令を実行すると即座にデータメモリから Fetch Register へデータが転送されるのに対して、Gather 命令が発行された場合、この実行は PE アレイの計算結果が Gather Register へ格納されるまでストールする。データマニピュレータは 12 入力-12 出力の置換ネットワークであり、転送テーブルに基づき各出力ポートは任意の入力ポートからのデータを転送することができる。Fetch 命令及び Gather 命令はこのテーブル番号を指定するためのオペランドを持っており、様々な転送パターンを容易に切り替えることができる。

### 2.2 SOTB プロセスにおけるボディバイアス制御

SOTB は FD-SOI の一種であり、図 2 に示すように薄い BOX 層の上にトランジスタが形成される。FD-SOI ではボディへ印加する電圧を変化させることで性能とリーク電力のトレードオフを広い範囲で調整することができる [10]。これをボディバイアス制御と呼び、SOTB には PMOS 側と NMOS 側のバックゲート端子  $V_{BN}$  と  $V_{BP}$  をそれぞれ持つ。 $V_{BN} = 0$  とした場合、閾値は通常レベルとなりこれをゼロバイアスと呼ぶ。 $V_{BN} < 0$  (リバースバイアス) とした場合、閾値レベルが上がりリーク電力が削減される一方で性能が低下する。反対に  $V_{BN} > 0$  (フォワードバイアス) とした場合、性能が向上する一方でリーク電力は増大する。NMOS と PMOS のバランスをとるために、 $V_{BP} + V_{BN} = V_{DD}$  となるように電圧を与える。よって、以降では  $V_{BN}$  の値をボディバイアス電圧として示す。

ボディバイアス制御は FPGA をはじめとする再構成可能デバイスに適用されている [11]。再構成可能デバイスでは構成によってクリティカルパスと非クリティカルパスの差が大きくなることもある。そのため、非クリティカルパスに対してリバースバイアスを与えることでリーク電力を抑えることができる。しかし、これらの研究の多くは決定されたコンフィギュレーションを元に後からボディバイアス電圧を決定している。さらなる電力削減が要求される場合、ボディバイアス電圧とコンフィギュレーションを同時に最適化していく必要がある。

### 2.3 タスクマッピングの複雑さ

VPCMA においては以下の 3 つの項目を最適化することで、電力を削減する機会がある。

- (1) PE アレイへのタスクマッピング
- (2) パイプライン構造
- (3) 各ドメインのボディバイアス電圧

#### 2.3.1 タスクマッピング

一般に CGRA で処理されるアプリケーションはデータフローグラフ (DFG) で表現される。1 つのノードは 1 つの演算を意味し、エッジは演算間のデータ依存を示す。ノードは PE の ALU へ割り当てられ、ノード間にエッジが存在する場合は

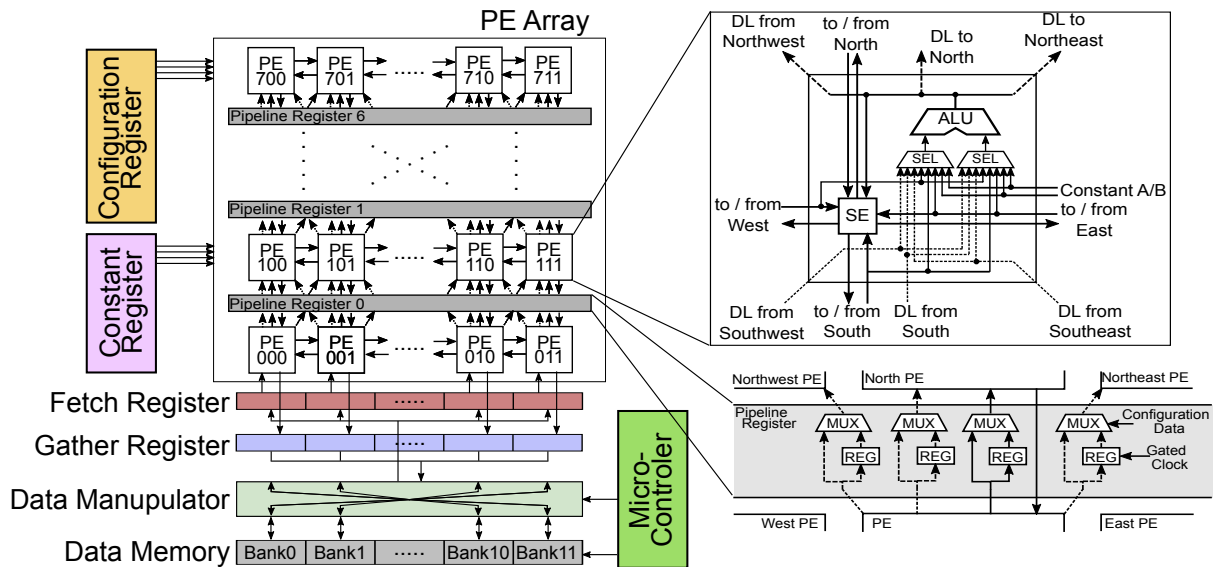


図 1: VPCMA の概要

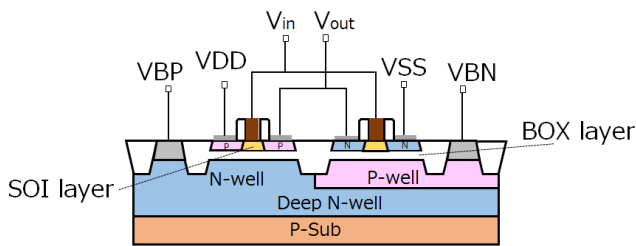


図 2: SOTB のトランジスタ構造

マップされた PE 間の配線を行う必要がある。この問題は NP-困難な問題であると知られている。

### 2.3.2 パイプライン構造

表 1 にパイプライン段数と性能、電力の関係をまとめる。パイプライン段数が小さい場合でも消費電力が小さいとは限らない。これは使用されるパイプラインレジスタが少ない場合、グリッチ伝搬による消費電力の増加を引き起こすためである。グリッチとは本来計算に不要なスイッチングであり、PE の入力データがそれぞれ異なる遅延時間で到着することにより発生する。パイプラインレジスタを利用しない場合、これらは後段の PE へ伝搬されさらに多くのグリッチを発生させる。VPCMA は 7 本のパイプラインレジスタを持つので最大で  $2^7 = 128$  パターンのパイプライン構造を実現可能であり、表 1 の複雑なトレードオフのため最適なパイプライン構造を決定するのは容易ではない。

### 2.3.3 ボディバイアス電圧

VPCMA の回路はいくつかのボディバイアスドメインに分割されている。各ドメインはそれぞれ独立にボディバイアス電圧を与えることができる。N 種類のボディバイアス電圧が利用可能で M ドメインが存在する場合、 $M^N$  パターンの組み合わせがある。

多くのマッピング手法では動的再構成型の CGRA に焦点を当てており、一般にモジュロスケジューリングなどのソフトウェアパイプラインをベースとしている [3], [4]。また、これらの主目的は高い性能のマッピングを短時間で得ることであり [3], [4] で提案されている手法のように消費エネルギーを考慮してい

表 1: 電力と性能のトレードオフ

	パイプライン段数	
	大	小
性能	向上	低下
レジスタ、クロックの ダイナミック電力	増加	減少
グリッチの ダイナミック電力	減少	増加

も、性能が優先されている。したがって、これらの手法は高いエネルギー効率を目指す SF-CGRA には不適である。

先行研究として整数計画法 (ILP: Integer Linear Program) 用いてパイプライン構造とボディバイアス電圧の両方を同時に最適化する手法を提案した。[5]。また、別の手法ではダイナミック電力モデルに基づく、グリッチの影響を考慮したパイプライン構造の最適化を行っていた [12]。しかし、この 2 つの先行研究は共に、Black-Diamond コンパイラ [6] によって得られる固定されたマッピングに対して最適化を行っており、マッピングの最適化を行うことはできていない。そこで、さらなる電力削減を目指し、マッピングを含む全ての項目を同時に最適化する新たな手法を提案する。

## 3. 実チップ実装

我々は VPCMA アーキテクチャを実チップ化した CCSOTB2(CMA-Cube-SOTB2)を開発した。CCSOTB2 の仕様を表 2 にまとめる。図 3 は CCSOTB2 のチップ写真である。黄色の枠で囲まれた部分が PE 行であり、赤色の枠で囲まれた部分はチップ間無線接続のためのインターフェース TCI(ThruChip Interface) である。ただし、TCI は本研究で利用しない。

表 2 に示したように CCSOTB2 は 5 つのボディバイアスドメインを持つ。PE アレイの 6, 7, 8 行目はそれぞれ個別のドメインになっていて、1 行目から 5 行目は同一のドメインとなっている。理想的にはこれらもすべて独立のドメインとすべきであったが、試作チップで利用可能な IO ピンの制約から同一ドメインとなっている。また、例えば 2 行単位の均等なドメイン

表 2: CCSOTB2 の仕様

設計	Verilog HDL
プロセスライブラリ	Renesas SOTB 65 nm LPT-8
論理合成	Synopsys Design Compiler 2016.03-SP4
配置配線	Synopsys IC Compiler 2016.03-SP4
チップサイズ	6mm × 3mm
ボディバイアスドメイン	
Domain1	PE 行 1-5
Domain2	PE 行 6
Domain3	PE 行 7
Domain4	PE 行 8
Domain5	マイクロコントローラを含むその他

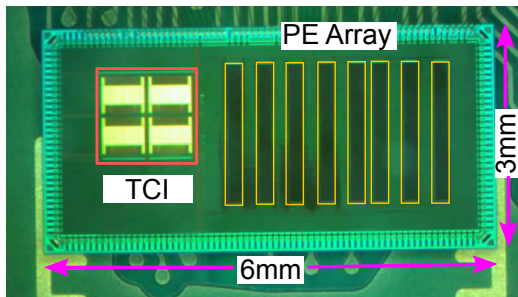


図 3: CCSOTB2 のチップ写真

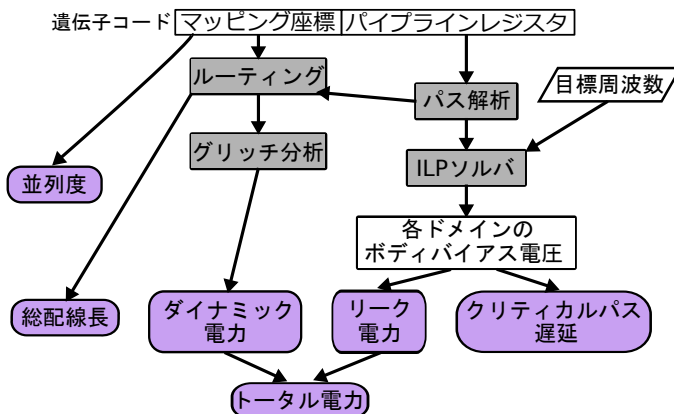


図 4: 個体評価のフロー

サイズに分割しなかったのは、経験的に上方の PE は利用されないことが多く、これらの行に強いリバースバイアスを与えることを想定したためである。ただし、パイプラインレジスタはマイクロコントローラと同一のドメイン (Domain5) に属しており、同一のクロック周波数で動作する。

#### 4. 最適化手法

すでに述べたように、タスクマッピングに加えたパイプライン構造とボディバイアス電圧を考慮した最適化手法が必要となる。しかし、タスクマッピング自体が NP-困難な問題であることから、メタヒューリスティックベースの手法を検討する。そこで、本研究では多目的遺伝的アルゴリズムの一種である NSGA-II を採用した。多目的な最適化問題として扱うことで、消費電力だけでなく、スループット、配線長、動作周波数など

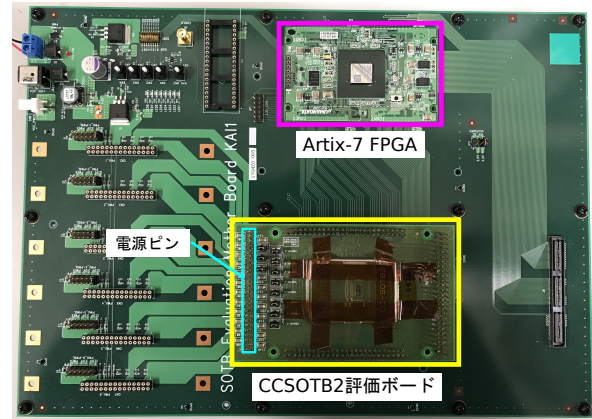


図 5: 評価環境

様々な項目を同時に最適化することが可能となる。

本遺伝的アルゴリズムにおける、遺伝子コーディングは 2 種類のパートで構成される 1:) DFG の各ノードがマップされる PE の座標リスト、および、2:) 各パイプラインレジスタのための 7bit ビットマップ。一般的な遺伝的アルゴリズムと同様に、遺伝子操作として交叉と突然変異を定義する。交叉では各パートごとに一点交叉を行う。突然変異では座標リストに関しては 2 つのノード間で座標を交換、またはランダムに座標を変更し、パイプラインレジスタのビットマップに関してはランダムにビット反転を行う。交叉と突然変異の確率は広く利用されている 0.7 と 0.3 を用いる [13]。これによって、タスクマッピングとパイプライン構造の両方を同時に探索することができる。

各遺伝子に対して図 4 に示すフローで各項目の個体評価と最適なボディバイアス電圧の決定を行う。DFG の各ノードがマップされた座標リストから A\* アルゴリズムを用いて PE 間のルーティングが行われる。ルーティングが完了すると総配線長が定まり、さらにグリッチの分析が行われる。このグリッチの分析には [12] で提案されたダイナミック電力モデルを利用する。グリッチ分析が完了するとダイナミック電力の評価が完了する。ボディバイアス電圧を決定するために [5] で用いられている手法と同様に整数計画法を用いる。この時、ユーザは目標周波数を制約条件として与え、ユーザが求める動作周波数の範囲でリーク電力を最小化する。並列度は同一の DFG マッピングを PE アレイ上に繰り返し展開できる数を示しており、例えば 4 列の PE を利用する DFG マッピングは 12 列の PE アレイに 3 回繰り返すことができるため並列度は 3 となる。NSGA-II では個体評価結果に基づき、各個体をランク付けし、ソートを行い個体の取捨選択を繰り返し世代を進化させる。

#### 5. 実チップ評価

本研究で提案した最適化手法の有効性を確認するために実チップ評価を行う。

##### 5.1 予備評価

まず、図 5 に示す測定環境を構築した。専用のマザーボードを用いて、CCSOTB2 の評価ボードと Host コントローラとして Artix-7 を搭載した FPGA を互いに接続している。電源電圧  $V_{DD}$  と各ボディバイアス電圧  $V_{BN}$ 、 $V_{BP}$  は CCSOTB2 ボードの電源ピンから供給される。

表 3: 評価用アプリケーション

アプリケーション	説明
<i>gray</i>	24 bit (RGB) グレースケール
<i>sepia</i>	8 bit セピアフィルタ
<i>af</i>	24 bit (RGB) アルファブレンダ
<i>sf</i>	24 bit (RGB) セピアフィルタ

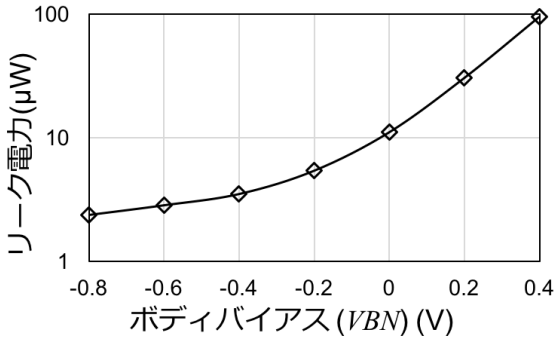


図 6: PE 行単位のリーク電力測定結果

評価には表 3 にまとめる 4 つの画像処理アプリケーションを用いる。比較のために、本手法が生成するマッピング結果と Black-Diamond コンパイラ [6] が生成するマッピング結果の両方を利用する。ただし、Black-Diamond はボディバイアス制御とパイプライン構造を考慮することはできない。加えて、ユーザの要求性能に依らず常に同一のマッピングを生成する。

4. 節で説明した個体評価には PE の遅延時間、リーク電力などの様々なパラメータが必要となる。これらのパラメータは可能な限り実チップ実験を行なって取得する。ただし遅延時間の測定は困難であるため本研究では Synopsys HSPICE によるシミュレーション結果を用いる。このシミュレーションでは  $VDD=0.55$  V, 各ボディバイアス電圧を 0.2 V 単位で  $-0.8$  V ~  $+0.4$  V の範囲で変化させて遅延時間を取得した。

### 5.2 リーク電力

PE の行単位でのリーク電力を測定するために PE アレイの 4 つのドメイン (Domain1~4) 毎にリーク電力を測定した。あるドメインのリーク電力を測定する際は、他のドメインは  $-2.0$  V の強いリバースバイアスを与えることで無視できるほど小さなリーク電流にした。1 行あたりリーク電力測定結果を図 6 に示す。これらの値は 4 つのドメインで測定した電力の平均値となっている。ただし、Domain1 に関しては 5 つの PE 行が含まれるため 5 分の 1 にした値を利用している。ボディバイアス電圧が大きくなるにつれて指数関数的にリーク電力が増加していることがわかる。

### 5.3 動作周波数

実験の結果、電源電圧  $VDD = 0.55$  V において CCSOTB2 のマイクロコントローラは 30MHz で動作し、この時すべてのパイプラインレジスタを利用する必要はないことがわかった。つまり、性能のボトルネックは PE アレイではなく、マイクロコントローラにあると言える。以降では 30MHz を最適化の目標周波数として設定する。

### 5.4 最適化結果

各アプリケーションに関して提案した最適化を施し、実行し

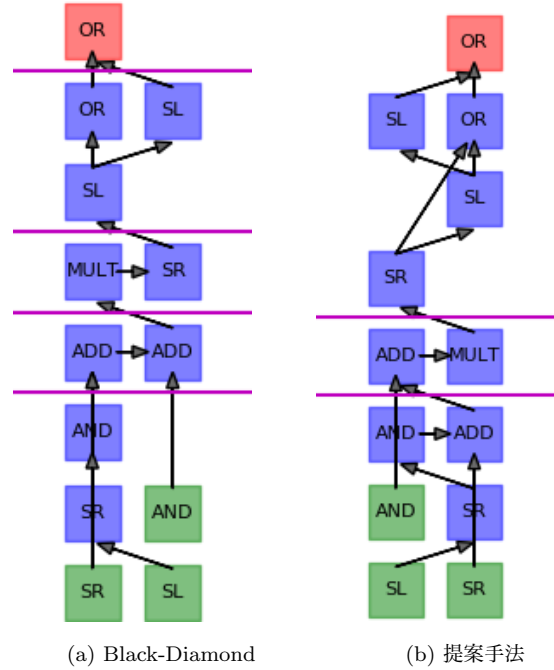


図 7: マッピング結果の比較 (*gray*)

た場合の消費電力を測定した。比較対象の Black-Diamond のマッピングに対しては [12] で提案されているパイプライン構造の最適化のみ適用した。これは Black-Diamond 自身はパイプライン構造を決定できないためである。また、30MHz で動作させる場合 PE アレイをパイプライン化しない場合タイミング制約を満たせないためです。

#### 5.4.1 マッピング結果

図 7(a) および (b) はそれぞれ Black-Diamond と本手法のマッピング結果である。Black-Diamond を利用する場合、プログラマは利用する PE を手で指定する必要がある。一方、本手法ではプログラマは PE の座標を指定することなく自動的にマッピングを生成することができている。また、Black-Diamond ではグリッチの影響を考慮せずにマッピングを決定するため、タイミング制約を満たすためでなく、グリッチ伝搬を抑制するために 4 本のパイプラインレジスタが利用されている。対して、本手法ではマッピングの時点でグリッチの影響を考慮することができるため、より少ないパイプラインレジスタを使用している。

本手法により最適化されたボディバイアス電圧を表 4 に示す。この結果からアプリケーションによって最適なボディバイアス電圧が異なることがわかる。*af* の場合、リバースバイアスは Domain4 (8 行目の PE) のみに与えられている。*af* ではリバースバイアスの代わりにパイプラインレジスタが 1 本にすることでダイナミック電力を抑えている。反対に、*gray* では 3 本のパイプラインレジスタを利用する代わりに、リバースバイアスを最後の 3 行に対して利用しリーク電力を抑えている。図 7(b) を見ると最後のパイプラインステージには、シフト演算 (e.g. shift-right “SR”) や論理演算 (e.g. bit-wise OR “OR”), などの比較的遅延時間の小さい演算が割り当てられている。このためこれらの行にはリバースバイアスを印加できるほどの遅延時間に余裕がある。このように、アプリケーションに応じて

表 4: 各ドメインの最適なボディバイアス電圧

	Domains			
	1 (1-5th rows)	2 (6th row)	3 (7th row)	4 (8th row)
<i>af</i>	0.0 V	0.0 V	0.0 V	-0.2 V
<i>gray</i>	0.0 V	-0.4 V	-0.4 V	-0.4 V
<i>sf</i>	0.0 V	-0.6 V	-0.2 V	-0.2 V
<i>sepia</i>	0.0 V	-0.8 V	-0.8 V	0.0 V

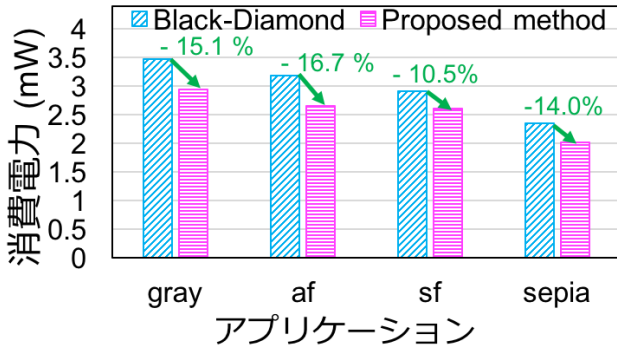


図 8: 消費電力の比較

パイプライン構造とボディバイアス効果のトレードオフを調整しながらマッピングを生成できていることがわかる。

#### 5.4.2 消費電力

図 8 に各アプリケーションで両マッピングを実行した場合の PE アレイでの消費電力を示す。本手法は Black-Diamond の場合と比べて最大で 16.7% (*af*) の削減を達成した。また、すべてのアプリケーションで電力削減を達成し、平均で 14.2% の削減率を示した。これらの電力にはマイクロコントローラでの電力は含まれていないがどのアプリケーションにおいても約 0.5mW ほどであり、本手法および Black-Diamond の間にはマイクロコントローラの動作に違いはないためこの電力に差はない。*af* を 30 MHz で実行した場合、2160 MOPS (Million Operations Per Second) の性能を達成するため、チップ全体の消費電力を考慮しても 680 MOPS/mW のエネルギー効率を実現している。

## 6. 結 論

本研究では低電力 CGRA の VPCMA に向けた最適化手法を提案した。一般に PE アレイにアプリケーションを割り当てる問題は非常に複雑な問題となるが、それに加えて本研究では VPCMA において必要なパイプライン構造の最適化とボディバイアス電圧の最適化も同時に行なった。この問題の複雑さゆえに我々は遺伝的アルゴリズムを採用した。

提案手法は既存手法の Black-Diamond を利用した場合と比較して、優れたマッピング、パイプライン構造そしてボディバイアス電圧を決定することができた。また、提案手法ではプログラマはデータフローグラフと目標周波数を入力するだけで自動的にマッピングを決定することができた。実チップ実験の結果、生成されたマッピング結果は平均で 14.2% の電力削減を達成することができた。本研究では最適化項目として消費電力に焦点を当てて評価を行ったが、多目的最適化であるためスループットなどのその他の項目とのトレードオフを調整することも

可能であり、今後詳しく比較、評価を行なっていく必要がある。

## 謝 辞

本研究は、JSPS 科研費 (S) 誘導結合を用いたビルディングブロック型計算システムの研究 (25220002)、および JSPS 科研費 (B) ビルディングブロック型計算システムにおけるチップブリッジを用いた積層方式 (18H03125) の助成を受けたものである。また、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で行われたものです。関係者の皆様に感謝致します。

### 文 献

- [1] N. Ozaki, Y. Yasuda, M. Izawa, Y. Saito, D. Ikebuchi, H. Amano, H. Nakamura, K. Usami, M. Namiki and M. Kondo: “Cool Mega-Arrays: Ultralow-Power Reconfigurable Accelerator Chips”, *IEEE Micro*, **31**, 6, pp. 6–18 (2011).
- [2] N. Ando, K. Masuyama, H. Okuhara and H. Amano: “Variable Pipeline Structure for Coarse Grained Reconfigurable Array CMA”, 2016 International Conference on Field-Programmable Technology, pp. 231–238 (2016).
- [3] M. Hamzeh, A. Shrivastava and S. Vrudhula: “EPIMap: Using epimorphism to map applications on CGRAs”, Design Automation Conference (DAC) IEEE, pp. 1280–1287 (2012).
- [4] J. Gu, S. Yin, L. Liu and S. Wei: “Energy-aware loops mapping on multi-vdd CGRAs without performance degradation”, Design Automation Conference (ASP-DAC), 2017 22nd Asia and South Pacific IEEE, pp. 312–317 (2017).
- [5] T. Kojima, N. Ando, H. Okuhara, N. Doan and H. Amano: “Optimization of body biasing for variable pipelined coarse-grained reconfigurable architectures”, *IEICE Transactions on Information and Systems*, **E101-D**, 6 (2018).
- [6] V. Tunbunheng and H. Amano: “Black-diamond: a retargetable compiler using graph with configuration bits for dynamically reconfigurable architectures”, *Proc. of The 14th SASIMI*, pp. 412–419 (2007).
- [7] H. Schmit, D. Whelihan, A. Tsai, M. Moe, B. Levine and R. R. Taylor: “Piperench: A virtualized programmable datapath in 0.18 micron technology”, Custom Integrated Circuits Conference, 2002. Proceedings of the IEEE 2002 IEEE, pp. 63–66 (2002).
- [8] B. Levine: “Kilocore: Scalable, High Performance and Power Efficient Coarse Grained Reconfigurable Fabrics”, *Proc. of International Symposium on Advanced Reconfigurable Systems*, pp. 129–158 (2005).
- [9] G. Ansaloni, P. Bonzini and L. Pozzi: “Egra: A coarse grained reconfigurable architectural template”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, **19**, 6, pp. 1062–1074 (2011).
- [10] Ishigaki, Takashi and Tsuchiya, Ryuta and Morita, Yusuke and Sugii, Nobuyuki and Kimura, Shin’ichiro: “Ultralow-power LSI Technology with Silicon on Thin Buried Oxide (SOTB) CMOSFET”, *Solid State Circuits Technologies*, Jacobus W. Swart (Ed.), ISBN: 978-953-307-045-2, InTech, pp. 146–156 (2010).
- [11] M. Hioki and H. Koike: “Low Overhead Design of Power Reconfigurable FPGA with Fine-Grained Body Biasing on 65-nm SOTB CMOS Technology”, *IEICE TRANSACTIONS on Information and Systems*, **99**, 12, pp. 3082–3089 (2016).
- [12] T. Kojima, N. Ando, H. Okuhara and H. Amano: “Glitch-aware variable pipeline optimization for CGRAs”, 2017 International Conference on ReConfigurable Computing and FPGAs (ReConFig), pp. 1–6 (2017).
- [13] L. Davis: “Adapting operator probabilities in genetic algorithms”, Proceedings of the third international conference on Genetic algorithms, San Francisco, CA, USA, Morgan Kaufmann Publishers Inc., pp. 61–69 (1989).