



お客様各位

## 資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024年4月1日をもって、ローム株式会社は、100%子会社であるラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、全て「ローム株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしく願いいたします。

2024年4月1日  
ローム株式会社

## ML22120

Automotive 用ピッチコントロール機能搭載音声合成 LSI

ML22120

### 概要

ML22120 は、シリアル・フラッシュ・メモリインタフェースを搭載し、音声データ再生機能 (Sound Generator) に対応した音声合成 LSI です。

クロック同期シリアルインタフェース、I<sup>2</sup>C インタフェース (スレーブ) を内蔵しています。

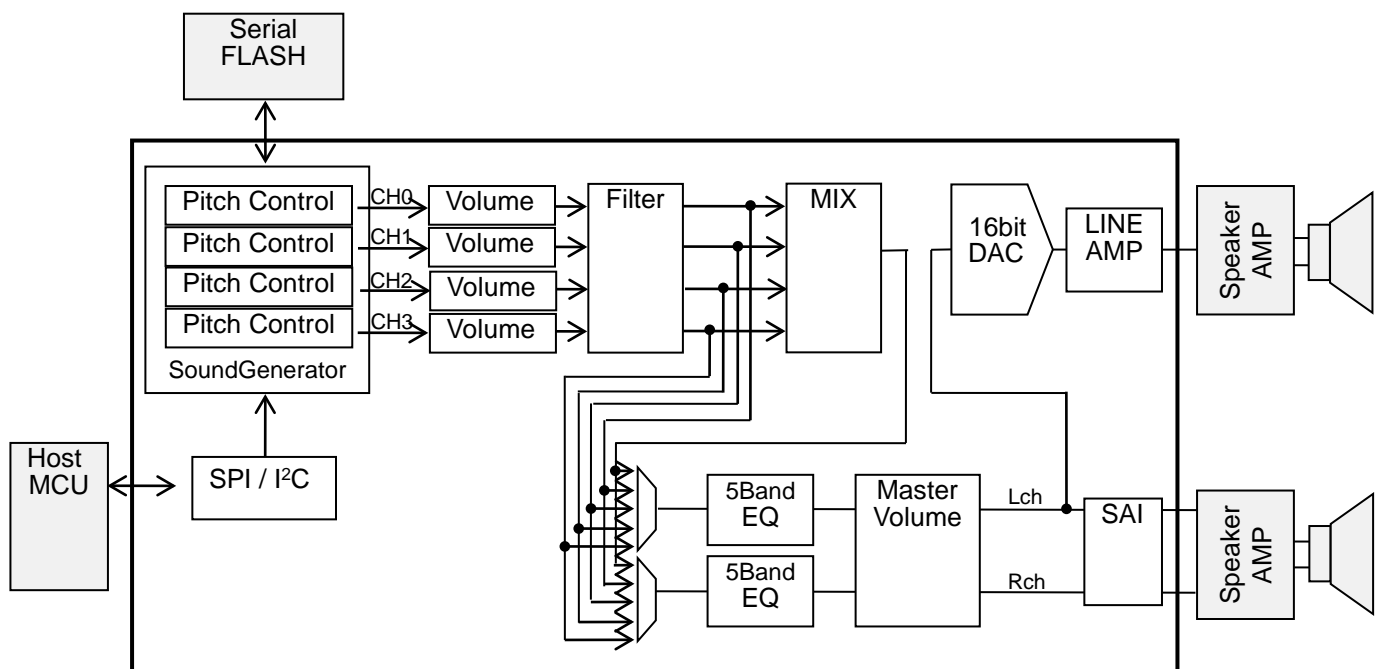
設定レジスタを制御することで、ピッチとボリュームをダイナミックに変更できます。

高音質を実現する 16 ビット D/A コンバータ、ローパスフィルタを採用しています。

音質効果処理として、5Band のイコライザを搭載しています。

音声出力に必要な機能を集積し、本 LSI と外部スピーカーアンプを追加することで簡単に音声機能を実現できます。

本データシートでは、音声データ再生機能を Sound Generator と表記します。



基本アプリケーション回路

## 特長

## ● Sound Generator

音声合成方式: 16ビット ストレートPCM

最大フレーズ数: 64 フレーズ

シリアル・フラッシュ・メモリ容量: 最大 128Mbits

サンプリング周波数(kHz)	48.0	24.0	12.0	32.0	16.0	8.0
最大発声時間(秒)	174	349	698	262	524	1048

## ● サンプリング周波数: 48.0kHz/24.0kHz/12.0kHz, 32.0kHz/16.0kHz/8.0kHz

## ● 再生機能

繰り返し機能

ミキシング機能: 4チャンネル

ボリューム調整機能: 各チャンネル用ボリューム設定 -76.7dB ~ +25.5dB/0.1dB ステップ(MUTE 含む)

Lch/Rch マスタボリューム設定 -76.7dB ~ +25.5dB/0.1dB ステップ(MUTE 含む)

フェード機能有

ピッチ調整機能: 4チャンネル

CH0/CH1: 0.0625 倍 ~ 4 倍 (0.00390625 倍ステップ)

CH2/CH3: 0.0625 倍 ~ 1 倍 (0.00390625 倍ステップ)

フェード機能有

## ● シリアルオーディオインタフェース(マスタ)

PCM フォーマット: 16ビット ストレートPCM

送信時のサンプリング周波数(gfs): 48.0kHz/32.0kHz(Sound Generator のサンプリング周波数に依存しない)

データ長: 16ビット

MCLK 周波数: 128/256/512gfs を選択可能

BCLK 周波数: 32gfs ~ 64gfs

LRCLK 転送モード/フレーム同期転送モード選択可能

LRCLK 正転/反転選択可能

1ビットディレイ有/無選択可能

MSB ファースト/LSB ファースト選択可能

## ● 5Band イコライザ搭載 Band の中心周波数と Band 幅, Gain を設定可能

## ● ローパスフィルタ搭載

## ● 16ビットD/A コンバータ搭載

## ● ラインアンプ出力: 10kΩ 駆動

● MCU インタフェース: クロック同期シリアルインタフェース /I<sup>2</sup>C インタフェース(スレーブ)

## ● 原発振周波数: 4.096MHz, 4.000MHz

## ● 電源電圧: 2.7V ~ 3.6V

## ● シリアル・フラッシュ・メモリインタフェース電源電圧: 2.7V ~ 3.6V

## ● 動作温度範囲: -40 °C ~ +105 °C(+125 °C\*) \*1: Key 連動用途

## 用途

- 車載機器 (例: AVAS、クラスタ、各種警告音など)

注) 本商品は、自動列車制御装置、鉄道保安システム等にはご使用いただけません。

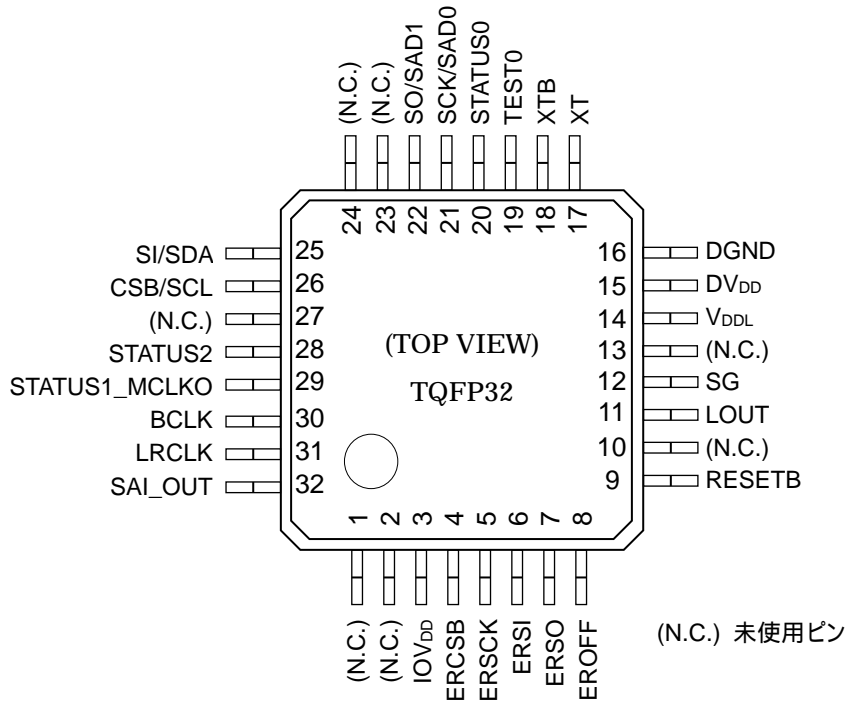
船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、送電システム、金融端末基幹システム、各種安全制御装置等の高信頼性が必要な用途への使用を検討される場合は、事前に営業窓口へお問い合わせください。

## 出荷形態

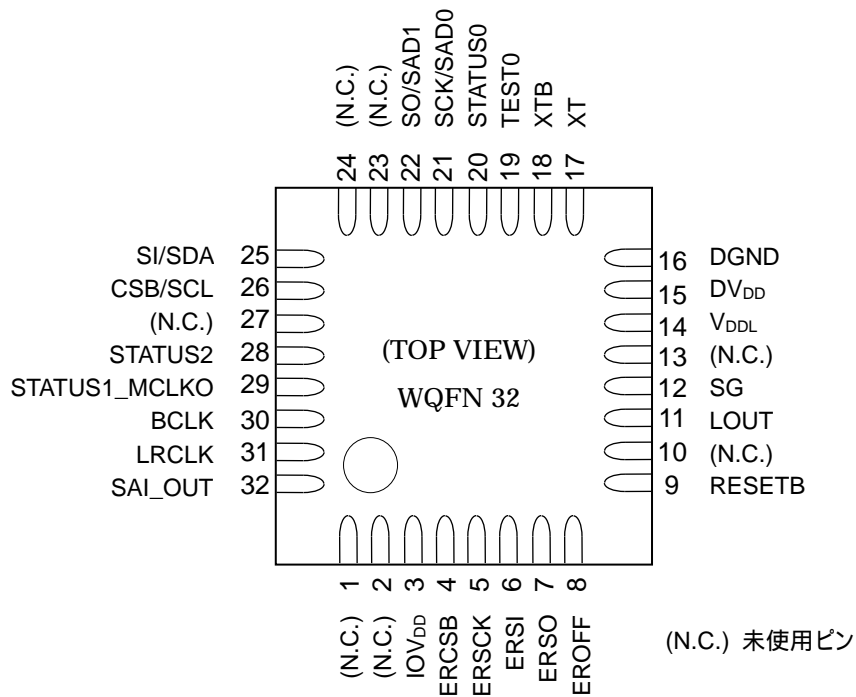
Package	Body size (including lead) [mm x mm]	Pin pitch [mm]	Packing form and Product name	
			Tray	Tape & Reel
32 pin plastic TQFP	7.0 x 7.0 (9.0 x 9.0)	0.80	ML22120TBZ0A-MX	ML22120TBZ0B-MX
32 pin plastic WQFN	5.0 x 5.0 ( - )	0.50	ML22120GDZ0A-MX (開発中)	ML22120GDZ0B-MX (開発中)
24 pin plastic WQFN	4.0 x 4.0 ( - )	0.50	ML22120GPZ05A-MX	ML22120GPZ05B-MX

端子配置

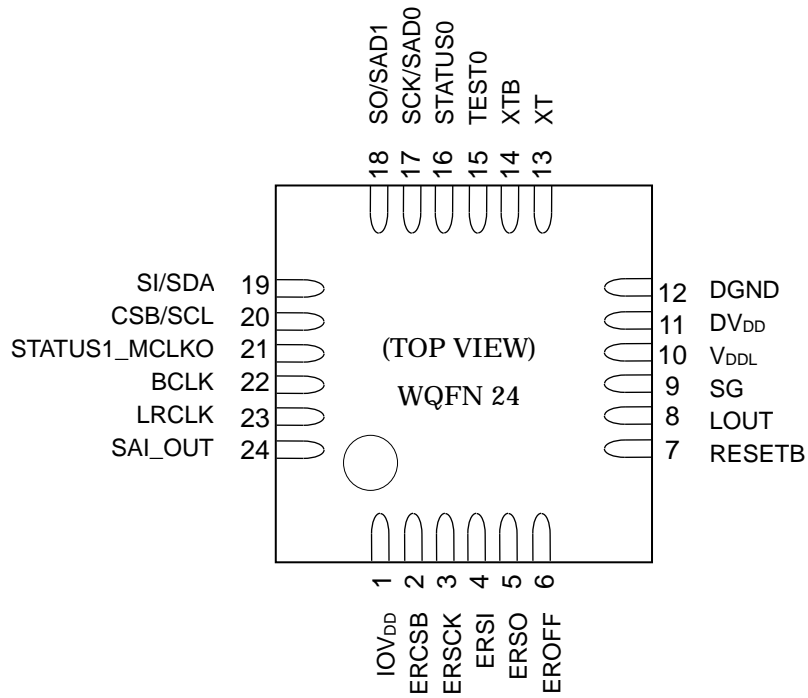
ML22120TB



ML22120GD



ML22120GP



## 端子説明

ピン番号		端子名	I/O	属性	説明	初期値 <sup>*1</sup>
32 ピン	24 ピン					
3	1	IOV <sub>DD</sub>	P	-	シリアル・フラッシュ・メモリインタフェース電源端子です。 DGND 端子との間にバイパスコンデンサを挿入してください。	—
4	2	ERCSB	O	負	シリアル・フラッシュ・メモリインタフェース チップセレクト出力端子です。 非アクセス時"H"レベル, アクセス時"L"レベルを出力します。 EROFF 端子を"L"にすることで出力許可状態となります。	H
5	3	ERSCK	O	-	シリアル・フラッシュ・メモリインタフェース シリアルクロック出力端子です。 EROFF 端子を"L"にすることで出力許可状態となります。	L
6	4	ERSI	I	-	シリアル・フラッシュ・メモリインタフェース シリアルデータ入力端子です。 EROFF 端子を"L"にすることで入力許可状態となります。 プルダウン抵抗を内蔵しています。	L
7	5	ERSO	O	-	シリアル・フラッシュ・メモリインタフェース シリアルデータ出力端子です。 EROFF 端子を"L"にすることで出力許可状態となります。	L
8	6	EROFF	I	正	シリアル・フラッシュ・メモリインタフェース 禁止設定端子です。 "L"でシリアル・フラッシュ・メモリインタフェース端子は許可になります。LSI 内部 にプルダウン抵抗を内蔵しています。 シリアル・フラッシュ・メモリを接続して再生する時は"L"に設定してください。 "H"に設定することで, シリアル・フラッシュ・メモリインタフェースはハイインピー ダンス状態になります。 FLASH ライタを ERCSB/ERSCK/ERSI/ERSO に接続して書き換える時は"H" に設定してください。	L
9	7	RESETB	I	負	リセット入力端子です。 "L"レベル入力後 LSI は初期状態になります。リセット入力後は, 全ての回路の 動作が停止し, スタンバイ状態となります。 電源投入時は"L"レベルを入力し, 電源電圧が安定した後, "H"レベルにしてくだ さい。	
11	8	LOUT	O	-	ラインアンプ出力専用端子です。	L
12	9	SG	O	-	ラインアンプの基準電圧出力端子です。 DGND 間にコンデンサを接続してください。	L
14	10	V <sub>DDL</sub>	O	-	1.5V レギュレータ出力端子です。 内部電源として使用します。 できるだけ直近に DGND 間にコンデンサを接続してください。	L
15	11	D <sub>VDD</sub>	P	-	デジタル電源端子です。 DGND 端子との間にバイパスコンデンサを挿入してください。	—
16	12	DGND	G	-	デジタルグランド端子です。	—
1, 2, 10, 13, 23, 24, 27	-	N.C.	-	-	未使用端子です。 オープンにしてください。	Hi-Z

\*1 リセット入力時およびスタンバイ時の初期値。IO が"I"の端子は, 外部からの固定レベルを表記。

ピン番号		端子名	I/O	属性	説明	初期値 <sup>*1</sup>
32 ピン	24 ピン					
17	13	XT	I	負	水晶振動子またはセラミック発振子接続端子です。 XT 端子と XTB 端子の間に、1MΩ 程度のフィードバック抵抗を内蔵しています。 外部クロックを使用する場合には、この端子から入力してください。また、水晶振動子またはセラミック発振子接続時の容量を削除してください。 発振子を使用する場合はできるだけ直近に接続してください。 未使用時はオープンにしてください。	L
18	14	XTB	O	正	水晶振動子またはセラミック発振子接続端子です。 外部クロックを使用する場合には、オープンにし、水晶振動子またはセラミック発振子接続時の容量を削除してください。 発振子を使用する場合はできるだけ直近に接続してください。 未使用時はオープンにしてください。	H
19	15	TEST0	I	正	テスト用入力端子です。 LSI 内部にプルダウン抵抗を内蔵しています。 通常時は DGND に固定して使用してください。	L
20	16	STATUS0	O	-	ステータス出力端子 0 です。 OUTSTAT0_0~5 レジスタを設定して、各種ステータス、各チャンネルの再生状態、内部エラー状態の出力を選択します。	L
21	17	SCK/SAD0	I	-	同期式シリアルクロック入力端子 SCK です。	L
			I	-	I <sup>2</sup> C スレーブアドレス選択端子 SAD0 です。DV <sub>DD</sub> または DGND に固定してスレーブアドレスを設定してください。	
22	18	SO/SAD1	O	-	同期式シリアルデータ出力端子 SO です。 ステータス読み出し時、SCK に同期してデータを出力します。 ステータス読み出し以外の時、ハイインピーダンス状態となります。	Hi-Z
			I	-	I <sup>2</sup> C スレーブアドレス選択端子 SAD1 です。DV <sub>DD</sub> または DGND に固定してスレーブアドレスを設定してください。	
25	19	SI/SDA	I	-	同期式シリアルデータ入力端子 SI です。 SCK に同期してデータが取り込まれます。	L
			I/O	-	I <sup>2</sup> C スレーブ シリアルデータ入出力端子 SDA です。 書き込みモード / 読み出しモードの設定とスレーブアドレスの書き込みおよびデータの書き込みと読み出しに用いる入出力端子です。 必ず DV <sub>DD</sub> 端子との間にプルアップ抵抗を挿入してください。 出力時: Nch MOS OPEN DRAIN 出力 入力時: ハイインピーダンス入力	Hi-Z
26	20	CSB/SCL	I	負	同期式シリアルチップセレクト端子 CSB です。 “L”レベルの時のみ、SCK、SI の入力を受けれます。	H
			I	-	I <sup>2</sup> C スレーブ シリアルクロック端子 SCL です。 必ず DV <sub>DD</sub> 端子との間にプルアップ抵抗を挿入してください。	Hi-Z
28	-	STATUS2	O	-	ステータス出力端子 2 です。 OUTSTAT2 レジスタを設定して、内部エラー状態の出力を選択します。	L
29	21	STATUS1_MCLKO	O	-	ステータス出力端子 1、または SAI マスタクロック出力端子です。 IFSEL レジスタの MCLKSEL ビットを“0”に設定した場合、OUTSTAT1_0~5 レジスタを設定して、各種ステータス、各チャンネルの再生状態、内部エラー状態の出力を選択します。 IFSEL レジスタの MCLKSEL ビットを“1”に設定した場合、SAI のマスタクロックを出力します。	L
30	22	BCLK	O	-	SAI ビットクロック出力端子です。	L
31	23	LRCLK	O	-	SAI ワードクロック出力端子です。	L
32	24	SAI_OUT	O	-	SAI ビットデータ出力端子です。BCLK の立下りでデータを出力します。	L

\*1 リセット入力時およびスタンバイ時の初期値。IO が“1”の端子は、外部からの固定レベルを表記。



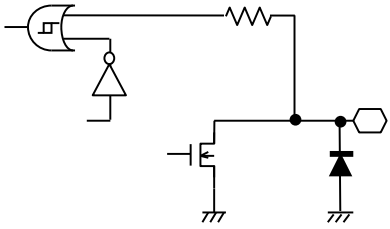
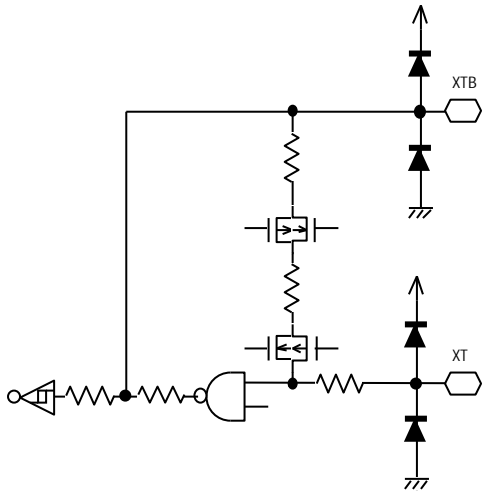
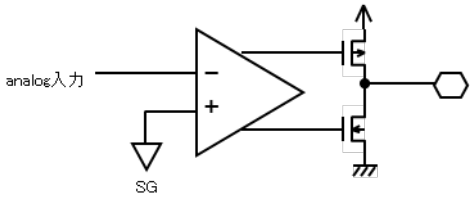
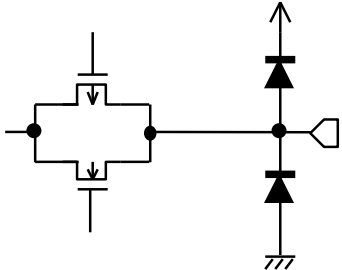
## 未使用端子処理

未使用端子の処理方法を示します。

端子名	推奨端子処理
EROFF	DGND に接続してください。
TEST0	
XT	オープンにしてください。
XTB	
LOUT	
STATUS0	
STATUS1_	
MCLKO	
STATUS2	
BCLK	
LRCLK	
SAI_OUT	
N.C.	

## 入出力等価回路

分類	回路	概要
A		属性: 入力 電源: $DV_{DD}$ 機能: プルダウン付 CMOS 入力 適用端子: TEST0
		属性: 入力 電源: $IOV_{DD}$ 機能: プルダウン付 CMOS 入力 適用端子: EROFF, ERSI
B		属性: 入力 電源: $DV_{DD}$ 機能: CMOS 入力 適用端子: SCK/SAD0, RESETB
C		属性: 出力 電源: $DV_{DD}$ 機能: CMOS 出力 適用端子: STATUS0, STATUS1_MCLKO, STATUS2, LRCLK, BCLK, SAI_OUT
		属性: 出力 電源: $IOV_{DD}$ 機能: CMOS 出力 適用端子: ERCSB, ERSCK, ERSO
D		属性: 入出力 電源: $DV_{DD}$ 機能: CMOS 入出力 適用端子: SO/SAD1

分類	回路	概要
E		<p>属性: 入出力            電源: <math>DV_{DD}</math>            機能: CMOS 入力, Nch Open Drain 出力            適用端子: CSB/SCL, SI/SDA</p>
F		<p>属性: 発振回路            電源: <math>DV_{DD}</math>            機能: 許可付 4.096M, 4.000MHz 発振            適用端子: XT, XTB</p>
G		<p>属性: アナログ            電源: <math>DV_{DD}</math>            機能: 音声出力            適用端子: LOUT</p>
H		<p>属性: アナログ            電源: <math>DV_{DD}</math>            機能: ラインアンプ基準電圧出力            適用端子: SG</p>

## 電気的特性

## 絶対最大定格

DGND=0V, Ta=25°C

項目	記号	条件	定格値	単位
電源電圧 1	DV <sub>DD</sub> IOV <sub>DD</sub>	—	-0.3 ~ +4.6	V
入力電圧 1	V <sub>IN1</sub>	—	-0.3 ~ DV <sub>DD</sub> +0.3	V
入力電圧 2	V <sub>IN2</sub>	—	-0.3 ~ IOV <sub>DD</sub> +0.3	V
許容損失	P <sub>D</sub>	JEDEC2 層基板実装時	1000	mW
出力短絡電流	I <sub>OS</sub>	V <sub>DDL</sub> 端子を除く端子に適用	10	mA
		V <sub>DDL</sub> 端子に適用	50	mA
保存温度	T <sub>STG</sub>	—	-55 ~ +150	°C

## 推奨動作条件

DGND=0V

項目	記号	条件	範囲			単位
DV <sub>DD</sub> , IOV <sub>DD</sub> 電源電圧	DV <sub>DD</sub> IOV <sub>DD</sub>	—	2.7 ~ 3.6			V
動作温度	Top	—	-40~+105 ( +125 <sup>*1</sup> )			°C
原発振周波数	f <sub>osc</sub>	—	最小	標準	最大	MHz
			Typ -5%	4.096 4.000	Typ +5%	

\*1: Key 連動用途

## 直流特性

DV<sub>DD</sub>=IOV<sub>DD</sub>=2.7~3.6 V, DGND=0 V, Ta=-40~+125°C, 出力端子の負荷容量=15pF(Max.)

項目	記号	条件	適用端子	Min.	Typ. <sup>*1</sup>	Max.	単位
“H”入力電圧 1	V <sub>IH1</sub>	—	CSB/SCL SCK/SAD0 SI/SDA (SO)/SAD1 XT RESETB TEST0	0.8×DV <sub>DD</sub>	—	DV <sub>DD</sub>	V
“H”入力電圧 2	V <sub>IH2</sub>	—	EROFF ERSI	0.8×IOV <sub>DD</sub>	—	IOV <sub>DD</sub>	V
“L”入力電圧 1	V <sub>IL1</sub>	—	CSB/SCL SCK/SAD0 SI/SDA (SO)/SAD1 XT RESETB TEST0	0	—	0.2×DV <sub>DD</sub>	V
“L”入力電圧 2	V <sub>IL2</sub>	—	EROFF ERSI	0	—	0.2×IOV <sub>DD</sub>	V
“H”出力電圧 1	V <sub>OH1</sub>	I <sub>OH</sub> = -50μA	XTB	DV <sub>DD</sub> -0.4	—	—	V
“H”出力電圧 2	V <sub>OH2</sub>	I <sub>OH</sub> = -1mA	LRCLK BCLK SAI_OUT SO/(SAD1) STATUS0 STATUS1_MCLKO STATUS2	DV <sub>DD</sub> -0.4	—	—	V
“H”出力電圧 3	V <sub>OH3</sub>	I <sub>OH</sub> = -1mA	ERCSB ERSCK ERSO	IOV <sub>DD</sub> -0.4	—	—	V
“L”出力電圧 1	V <sub>OL1</sub>	I <sub>OL</sub> = 50μA	XTB	—	—	0.4	V
“L”出力電圧 2	V <sub>OL2</sub>	I <sub>OL</sub> = 2mA	LRCLK BCLK SAI_OUT SO/(SAD1) STATUS0 STATUS1_MCLKO STATUS2	—	—	0.4	V
“L”出力電圧 3	V <sub>OL3</sub>	I <sub>OL</sub> = 2mA	ERCSB ERSCK ERSO	—	—	0.4	V
“L”出力電圧 4	V <sub>OL4</sub>	I <sub>OL</sub> = 3mA	(SI)/SDA (CSB)/SCL	—	—	0.4	V
出力リーク電流 1	I <sub>OOH1</sub>	VOH=DV <sub>DD</sub> (ハイインピーダンス時)	(SI)/SDA (CSB)/SCL SO/(SAD1)	—	—	10	μA
	I <sub>OOL1</sub>	VOL=DGND (ハイインピーダンス時)		-10	—	—	μA
出力リーク電流 2	I <sub>OOH2</sub>	VOH=IOV <sub>DD</sub> (ハイインピーダンス時)	ERCSB ERSCK ERSO	—	—	10	μA
	I <sub>OOL2</sub>	VOL=DGND (ハイインピーダンス時)		-10	—	—	μA

DV<sub>DD</sub>=IOV<sub>DD</sub>=2.7~3.6 V, DGND=0 V, Ta=-40~+125°C, 出力端子の負荷容量=15pF(Max.)

項目	記号	条件	適用端子	Min.	Typ.*1	Max.	単位
“H”入力電流 1	I <sub>IH1</sub>	V <sub>IH</sub> = DV <sub>DD</sub>	XT	0.8	5.0	20	μA
“H”入力電流 2	I <sub>IH2</sub>	V <sub>IH</sub> = DV <sub>DD</sub>	CSB/SCL SCK/SAD0 SI/SDA (SO)/SAD1 RESETB	—	—	10	μA
“H”入力電流 3	I <sub>IH3</sub>	V <sub>IH</sub> = DV <sub>DD</sub>	TEST0	20	300	700	μA
“H”入力電流 4	I <sub>IH4</sub>	V <sub>IH</sub> = IOV <sub>DD</sub>	EROFF	20	300	700	μA
“H”入力電流 5	I <sub>IH5</sub>	V <sub>IH</sub> = IOV <sub>DD</sub>	ERSI	2	40	300	μA
“L”入力電流 1	I <sub>IL1</sub>	V <sub>IL</sub> = DGND	XT	-20	-5.0	-0.8	μA
“L”入力電流 2	I <sub>IL2</sub>	V <sub>IL</sub> = DGND	CSB/SCL SCK/SAD0 SI/SDA (SO)/SAD1 RESETB EROFF TEST0	-10	—	—	μA
再生動作時 消費電流	I <sub>DDO</sub>	f <sub>OSC</sub> =4.096MHz f <sub>s</sub> =48kHz, f=1kHz, (4ch 同時), ラインアンプ出力動作時	—	—	6*2	15*2	mA
スタンバイ電流*3	I <sub>DDS</sub>	Ta=-40 ~ +55°C	—	—	1*2	10.0*2	μA
		Ta=-40 ~ +125°C	—	—	1*2	30.0*2	μA

\*1 Typ. : DV<sub>DD</sub> = IOV<sub>DD</sub> = 3.0V, DGND = 0 V, Ta = 25°C\*2 DV<sub>DD</sub> 端子 / IOV<sub>DD</sub> 端子の合算値

\*3 RESETB 端子 “L”レベルのとき

## アナログ部特性

 $DV_{DD}=IOV_{DD}=2.7\sim 3.6\text{ V}$ ,  $DGND=0\text{ V}$ ,  $T_a=-40\sim +125^\circ\text{C}$ , 出力端子の負荷容量=15pF(Max.)

項目	記号	条件	Min.	Typ.	Max.	単位
RC4MHz	Frc		3.68	4.096	4.51	MHz
LINE アンプ出力抵抗	RLA1	1/2DV <sub>DD</sub> ±1mA 印加時	—	—	300	Ω
ラインアンプ出力負荷抵抗	RLA2	対 DGND	10	—	—	kΩ
ラインアンプ出力電圧範囲	V <sub>AO</sub>	出力無負荷時	DV <sub>DD</sub> /6	—	DV <sub>DD</sub> ×5/6	V
SG 端子出力電圧	V <sub>SG</sub>	—	0.95x DV <sub>DD</sub> /2	DV <sub>DD</sub> /2	1.05x DV <sub>DD</sub> /2	V
SG 端子出力抵抗	R <sub>SG</sub>	—	57	96	135	kΩ

## 交流特性

DV<sub>DD</sub>=IOV<sub>DD</sub>=2.7 ~ 3.6 V, DGND=0 V, Ta=-40 ~ +125°C, 出力端子の負荷容量=15pF(Max.)

項目	記号	条件	Min.	Typ.	Max.	単位
原発振デューティサイクル	f <sub>duty</sub>	—	40	50	60	%
RESETB 入力パルス幅	t <sub>RST</sub>	—	10	—	—	ms
リセットノイズ除去パルス幅	t <sub>NRST</sub>	RESETB 端子	—	—	0.1	ms
リセット解除後初期化時間	t <sub>PRC</sub>	—	—	—	5	ms
ラインアンプ起動時間 (ポップノイズ対策あり)	t <sub>PUP1</sub>	4.096MHz 外部クロック入力時 POP="H" OUT_EN="L"→"H"	—	73	77	ms
ラインアンプ起動時間 (ポップノイズ対策なし)	t <sub>PUP0</sub>	4.096MHz 外部クロック入力時 POP="L" OUT_EN="L"→"H"	—	33	37	ms
ラインアンプパワーダウン時間 (ポップノイズ対策あり)	t <sub>PD1</sub>	4.096MHz 外部クロック入力時 POP="H" OUT_EN="H"→"L"	—	144	148	ms
ラインアンプパワーダウン時間 (ポップノイズ対策なし)	t <sub>PD0</sub>	4.096MHz 外部クロック入力時 POP="L" OUT_EN="H"→"L"	—	104	108	ms
再生開始時間	t <sub>PSTA</sub>	f <sub>osc</sub> =4.096MHz 時	—	—	400	ms
フェード開始時間	t <sub>FAD</sub>	f <sub>osc</sub> =4.096MHz 時	—	—	400	ms
再生終了時間	t <sub>PSTP</sub>	f <sub>osc</sub> =4.096MHz 時	—	—	5	ms



## 交流特性(クロック同期シリアルインタフェース)

DV<sub>DD</sub>=IOV<sub>DD</sub>=2.7 ~ 3.6 V, DGND=0 V, Ta=-40 ~ +125°C, 出力端子の負荷容量=15pF(Max.)

項目	記号	条件	Min.	Typ.	Max.	単位
CSBの立ち下がりに対するSCK入力セットアップ時間	t <sub>SCKS</sub>	—	100	—	—	ns
CSBの立ち下がりに対するSCK入力許可時間	t <sub>ESCK</sub>	—	100	—	—	ns
CSBの立ち上がりに対するSCKのホールド時間	t <sub>CSH</sub>	—	100	—	—	ns
CSBの立ち上がりに対するデータのフローティング時間	t <sub>DOZ</sub>	RL=3KW時	—	—	100	ns
SCKに対するデータのセットアップ時間	t <sub>DIS</sub>	—	50	—	—	ns
SCKに対するデータのホールド時間	t <sub>DIH</sub>	—	50	—	—	ns
SCKに対するデータ出力遅延時間	t <sub>DOD</sub>	—	—	—	90	ns
SCK “H”レベルパルス幅	t <sub>SCKH</sub>	—	100	—	—	ns
SCK “L”レベルパルス幅	t <sub>SCKL</sub>	—	100	—	—	ns

&lt;クロック同期シリアルインタフェースを使用してシリアル・フラッシュ・メモリを書き換える場合&gt;

DV<sub>DD</sub>=IOV<sub>DD</sub>=2.7 ~ 3.6 V, DGND=0 V, Ta=-40 ~ +125°C, 出力端子の負荷容量=15pF(Max.)

項目	記号	条件	Min.	Typ.	Max.	単位
CSBの立ち下がりに対するSCK入力セットアップ時間	t <sub>SCKS</sub>	—	125	—	—	ns
CSBの立ち下がりに対するSCK入力許可時間	t <sub>ESCK</sub>	—	125	—	—	ns
CSBの立ち上がりに対するSCKのホールド時間	t <sub>CSH</sub>	—	125	—	—	ns
CSBの立ち上がりに対するデータのフローティング時間	t <sub>DOZ</sub>	RL=3KW時	—	—	125	ns
SCKに対するデータのセットアップ時間	t <sub>DIS</sub>	—	50	—	—	ns
SCKに対するデータのホールド時間	t <sub>DIH</sub>	—	50	—	—	ns
SCKに対するデータ出力遅延時間	t <sub>DOD</sub>	—	—	—	110	ns
SCK “H”レベルパルス幅	t <sub>SCKH</sub>	—	125	—	—	ns
SCK “L”レベルパルス幅	t <sub>SCKL</sub>	—	125	—	—	ns

交流特性(I<sup>2</sup>C インタフェース)DV<sub>DD</sub>=IOV<sub>DD</sub>=2.7 ~ 3.6 V, DGND=0 V, Ta=-40 ~ +125°C, 出力端子の負荷容量=15pF(Max.)

項目	記号	Min	Max.	単位
SCL クロック周波数	t <sub>SCL</sub>	0	400	kHz
SCL ホールド時間(スタート/再スタートコンディション)	t <sub>HD:STA</sub>	0.6	—	μs
SCL クロックの “L” レベル時間	t <sub>LOW</sub>	1.3	—	μs
SCL クロックの “H” レベル時間	t <sub>HIGH</sub>	0.6	—	μs
SCL セットアップ時間(再スタートコンディション)	t <sub>SU:STA</sub>	0.6	—	μs
SDA ホールド時間	t <sub>HD:DAT</sub>	0	—	μs
SDA セットアップ時間	t <sub>SU:DAT</sub>	0.1	—	μs
SDA セットアップ時間(ストップコンディション)	t <sub>SU:STO</sub>	0.6	—	μs
バス・フリー時間	t <sub>BUF</sub>	1.3	—	μs
それぞれのバス・ラインの容量性負荷	C <sub>b</sub>	—	400	pF

## 交流特性(SAI インタフェース(マスタ))

DV<sub>DD</sub>=IOV<sub>DD</sub>=2.7 ~ 3.6 V, DGND=0 V, Ta=-40 ~ +125°C, 出力端子の負荷容量=15pF(Max.)

項目	記号	条件	Min.	Typ.	Max.	単位
SAI_BCLK 周期	tC_BCLK	—	32gfs	—	64gfs	Hz
SAI_BCLK “H”期間	tHW_BCLK	—	146	—	—	ns
SAI_BCLK “L”期間	tLW_BCLK	—	146	—	—	ns
SAI_LRCLK 遅延時間	tD_LRCLK	—	—	—	20	ns
SAI_SAIOUT 遅延時間	tD_SAIOUT	—	—	—	20	ns

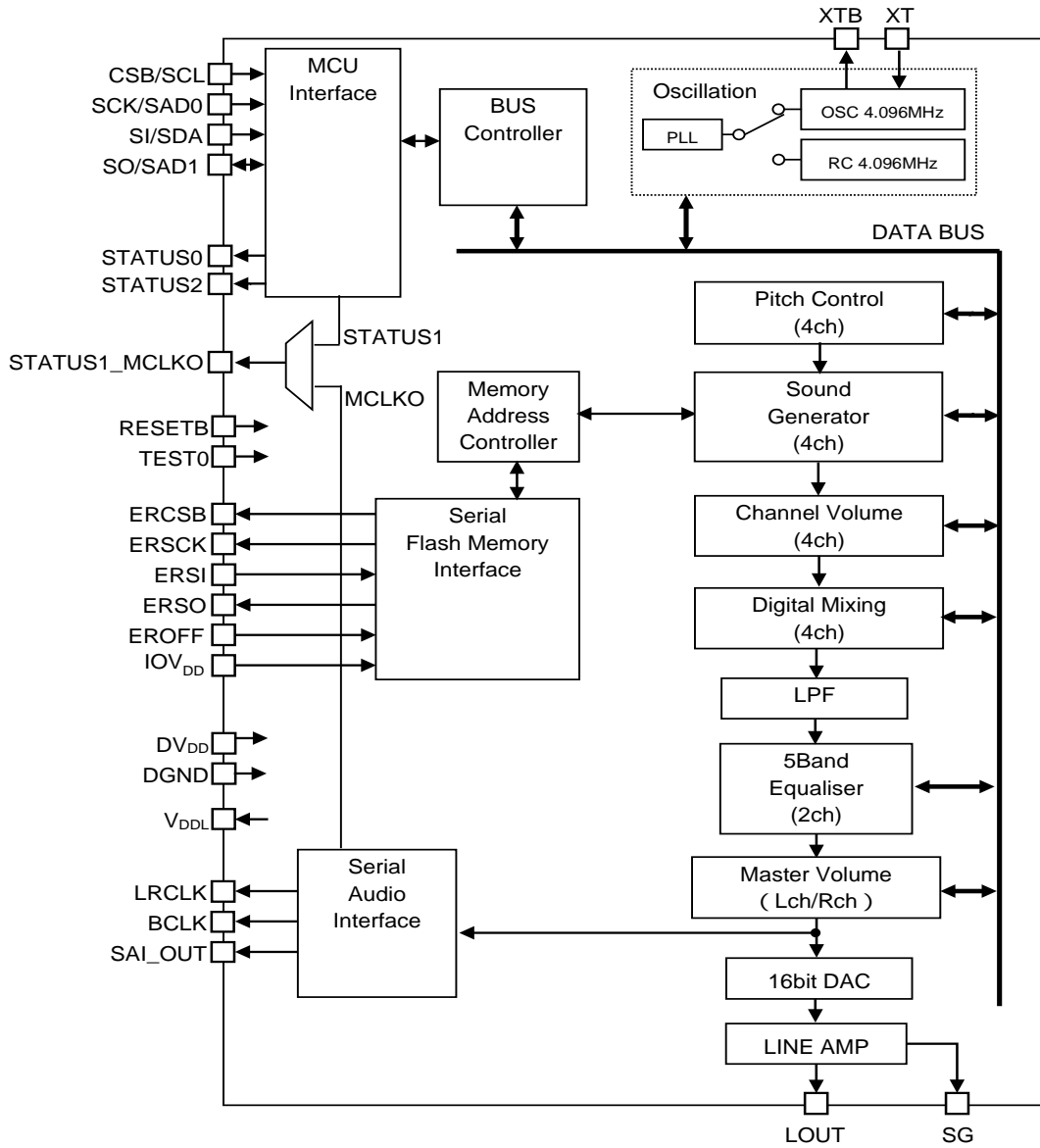
## 交流特性(シリアル・フラッシュ・メモリインタフェース)

DV<sub>DD</sub>=IOV<sub>DD</sub>=2.7 ~ 3.6 V, DGND=0 V, Ta=-40 ~ +125°C, 出力端子の負荷容量=15pF(Max.)

項目	記号	条件	Min.	Typ.	Max.	単位
ERCSBの立ち下がりに対する ERSCKの許可時間	t <sub>ECSS</sub>	—	50	—	—	ns
ERCSBの立ち上がりに対する ERSCKのホールド時間	t <sub>ECSH</sub>	—	50	—	—	ns
ERSCKの立ち上がりに対する データのセットアップ時間	t <sub>EDIS</sub>	—	10	—	—	ns
ERSCKの立ち上がりに対する データのホールド時間	t <sub>EDIH</sub>	—	10	—	—	ns
ERSCKの立ち下がりに対する データの出力遅延時間	t <sub>EDOD</sub>	—	—	—	5	ns
ERSCK周波数	t <sub>ESCKF</sub>	—	1.228	16.384	17.20	MHz
ERSCK“H”レベルパルス幅	t <sub>ESCKH</sub>	—	26	—	—	ns
ERSCK“L”レベルパルス幅	t <sub>ESCKL</sub>	—	26	—	—	ns
EROFF立ち上がりに対する ERCSB/ERSCK/ERSO出力遅延時間	t <sub>EFLH</sub>	—	—	—	1	ms
EROFF立ち下がりに対する ERCSB/ERSCK/ERSO出力遅延時間	t <sub>EFHL</sub>	—	—	—	1	ms

ブロック図

ブロック図を下記に示します。



## 機能説明

## クロック同期シリアルインタフェース

CSB, SCK, SI, SO 端子により, 各種レジスタを書き込みおよび読み出します。

データは, CSB 端子に“L”レベルを入力後, SCK 端子の入力クロック信号に同期して, SI 端子に MSB ファーストで入力します。SI 端子データは, SCK 端子クロックに同期して LSI 内部に取り込まれ, 8 パルス目の SCK 端子クロックで入力データが確定します。

レジスタへの書き込みアクセスと読み出しアクセスは, 各レジスタアドレス設定時の MSB のデータによって選択できます。アドレスデータの MSB を“L”レベルにすると書き込みアクセスとなり, SI 端子データが書き込みデータとして SCK 端子クロックに同期して LSI 内部に取り込まれます。また, アドレスデータの MSB を“H”レベルにすると読み出しアクセスとなり, SCK 端子クロック信号に同期して, SO 端子からデータが出力されます。

なお, CSB が“L”レベルの間はアドレスを自動的にインクリメントし, 連続してデータを書き込み・読み出しできます。

SCK 端子クロックの立ち上がり/立ち下がりエッジの選択は, CSB 端子の立ち下がり時の SCK 端子状態で決定します。

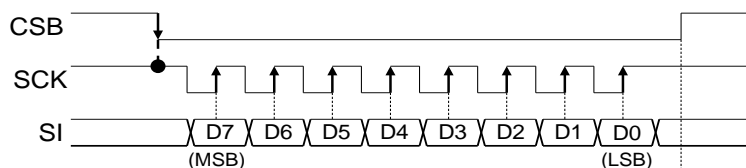
CSB 端子の立ち下がり時に SCK 端子が“H”の時, SI 端子データは, SCK 端子クロックの立ち上がりエッジで LSI 内部に取り込まれ, SCK 端子クロックの立ち下がりエッジで SO 端子より読み出しデータを出力します。

CSB 端子の立ち下がり時に SCK 端子が“L”の時, SI 端子データは, SCK 端子クロックの立ち下がりエッジで LSI 内部に取り込まれ, SCK 端子クロックの立ち上がりエッジで SO 端子より読み出しデータを出力します。

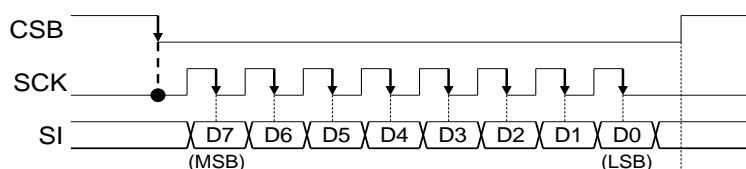
CSB 端子を“H”レベルにすることで, シリアルインタフェースを初期状態に戻すことができます。

CSB 端子が“H”レベルの時または読み出しデータを出力していない時, SO 端子は, ハイインピーダンス状態となります。

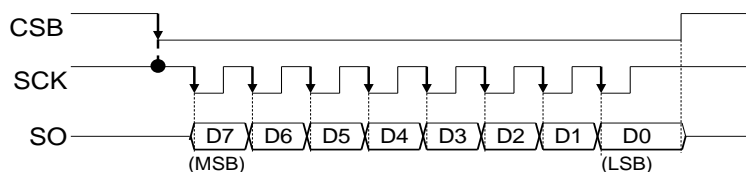
- ・データ入力タイミング: SCK 立ち上がりエッジ動作(CSB 立ち下がり SCK=“H”)



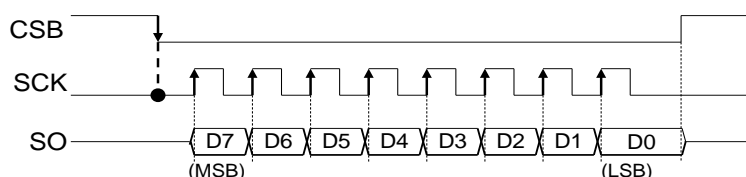
- ・データ入力タイミング: SCK 立ち下がりエッジ動作(CSB 立ち下がり SCK=“L”)



- ・データ出力タイミング: SCK 立ち下がりエッジ動作(CSB 立ち下がり時 SCK=“H”)

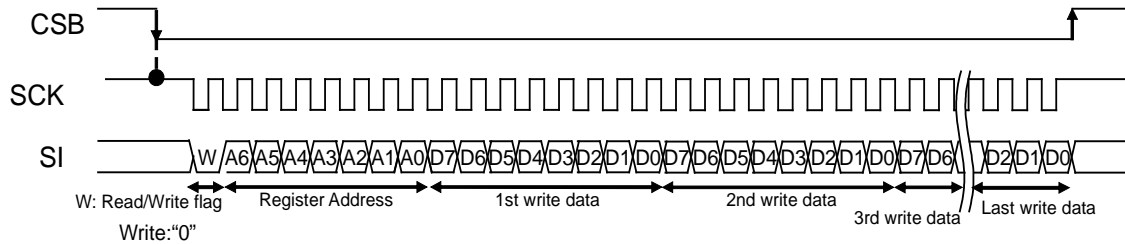


- ・データ出力タイミング: SCK 立ち上がりエッジ動作(CSB 立ち下がり時 SCK=“L”)

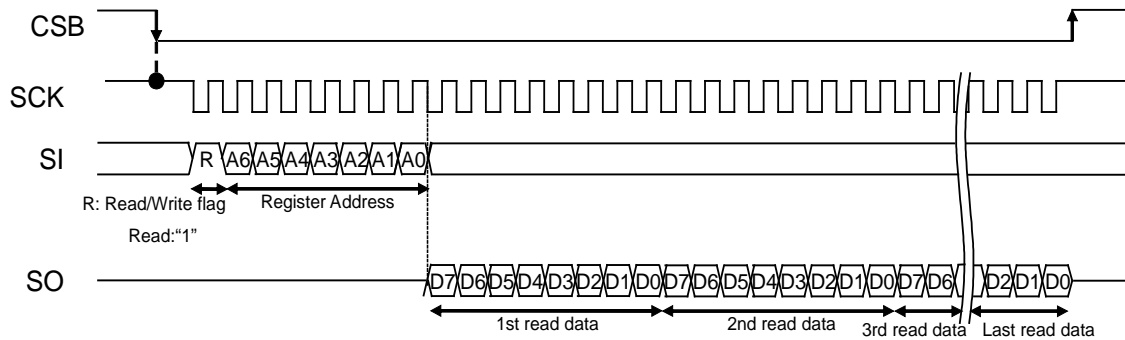


I 1 回入力モード

・レジスタ書き込みタイミング

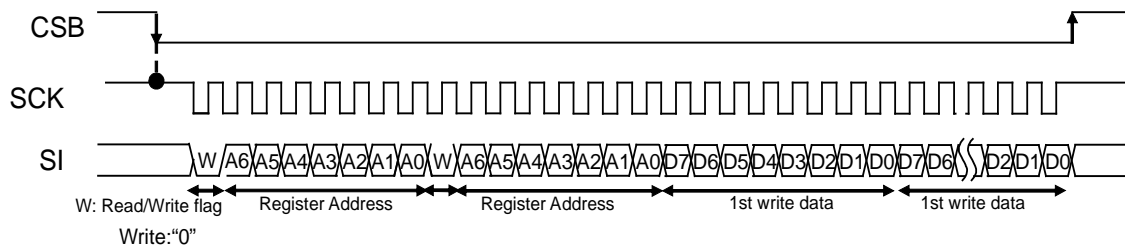


・レジスタ読み出しタイミング

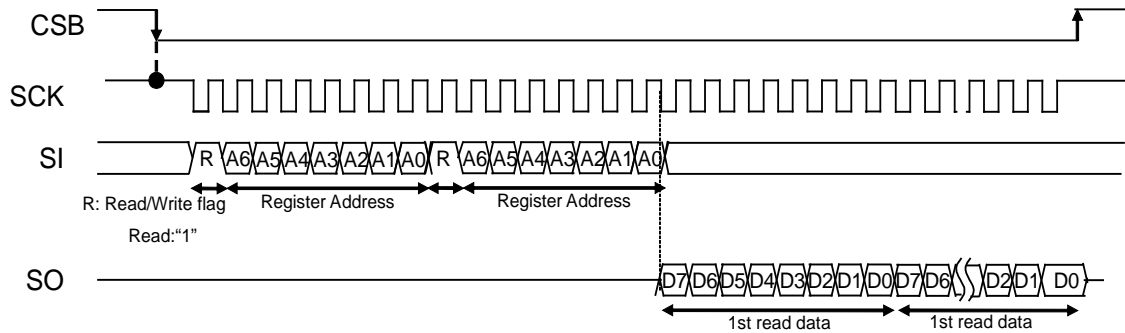


I 2 回入力モード

・レジスタ書き込みタイミング



・レジスタ読み出しタイミング



2 回入力モードにおいて、レジスタ読み出し時に 2 回入力エラーを検出した場合、読み出しデータ"1"を出力します。

I<sup>2</sup>C インタフェース(スレーブ)

I<sup>2</sup>C バス仕様に準拠したシリアルインタフェースです。Fast モードをサポートしており 400k ビット/s でデータを送受信可能です。SCL および SDA 端子により、各種レジスタの書き込みおよびステータスを読み出します。また、SAD0~1 端子によりスレーブアドレスを設定します。

I<sup>2</sup>C 使用時の SCL 端子および SDA 端子には必ず DV<sub>DD</sub> 端子との間にプルアップ抵抗を接続してください。

I<sup>2</sup>C バス上のマスタと本デバイス(スレーブ)との通信フローは、スタート条件設定後、最初の7ビットでスレーブアドレス(スレーブアドレスの上位3ビットはSAD0~1 端子により設定)を入力し、8番目のビットでデータ方向(8番目のビットが“0”の時はマスタからデータの書き込みを示し、“1”の時はマスタからデータの読み出しを示す)を決定し、以降、バイト単位で通信を行います。この際、バイト毎にアクリッジが必要です。

受信動作はオートインクリメント転送およびランダムアクセス転送に対応し、送信動作はオートインクリメント動作に対応しています。オートインクリメント転送およびランダムアクセス転送は、I<sup>2</sup>C アクセスモード選択(I<sup>2</sup>CSEL)レジスタで設定してください。以下に書き込み動作および読み出し動作のフローを示します。

## 1 1 回入力モード

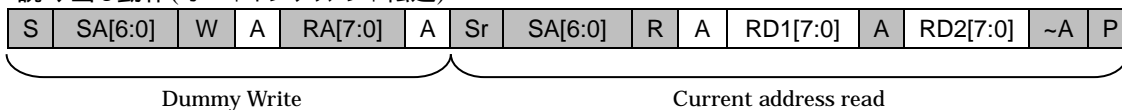
・書き込み動作(オートインクリメント転送)



・書き込み動作(ランダムアクセス転送)





・読み出し動作(オートインクリメント転送)



S: スタートコンディション  
 SA[6:0]: スレーブアドレス  
 W: Read/Write フラグ Write 時="0"  
 A: Acknowledge  
 RA[7:0]: 本 LSI 内のレジスタアドレス  
 WD[7:0]: 書き込みデータ  
 P: ストップコンディション

Sr: リスタートコンディション  
 R: Read/Write フラグ Read 時="1"  
 RD1,2[7:0]: 読み出しデータ  
 ~A: Not-Acknowledge  
 P: ストップコンディション

 From master to slave  
 From slave to master



## 1 2 回入力モード

・書き込み動作(ランダムアクセス転送)

S	SA[6:0]	W	A	RA[7:0]	A	RA[7:0]	A	WD1[7:0]	A	WD1[7:0]	P
---	---------	---	---	---------	---	---------	---	----------	---	----------	---

・読み出し動作(オートインクリメント転送)



S	SA[6:0]	W	A	RA[7:0]	A	RA[7:0]	A	Sr	SA[6:0]	R	A	RD1[7:0]	A	RD1[7:0]	~A	P
---	---------	---	---	---------	---	---------	---	----	---------	---	---	----------	---	----------	----	---

Dummy Write

Current address read

S: スタートコンディション  
 SA[6:0]: スレーブアドレス  
 W: Read/Write フラグ Write 時="0"  
 A: Acknowledge  
 RA[7:0]: 本 LSI 内のレジスタアドレス  
 WD[7:0]: 書き込みデータ  
 P: ストップコンディション

Sr: リスタートコンディション  
 R: Read/Write フラグ Read 時="1"  
 RD1[7:0]: 読み出しデータ  
 ~A: Not-Acknowledge  
 P: ストップコンディション

 From master to slave  
 From slave to master

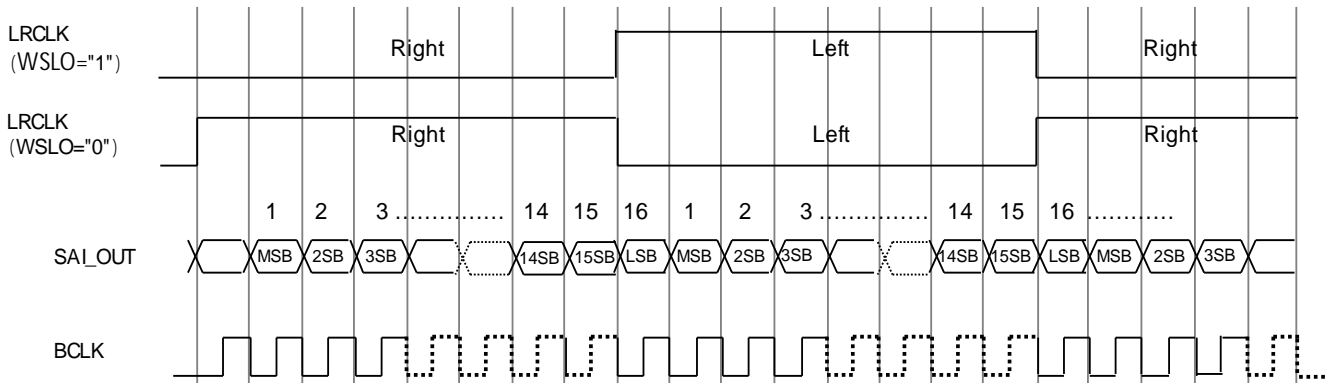
スレーブアドレスは SAD1 ~ SAD0 端子により, 下記の設定が可能です。

最上位	SAD1	SAD0	下位 4 ビット	スレーブアドレス
1	0	0	0101	100_0101
1	0	1	0101	101_0101
1	1	0	0101	110_0101
1	1	1	0101	111_0101

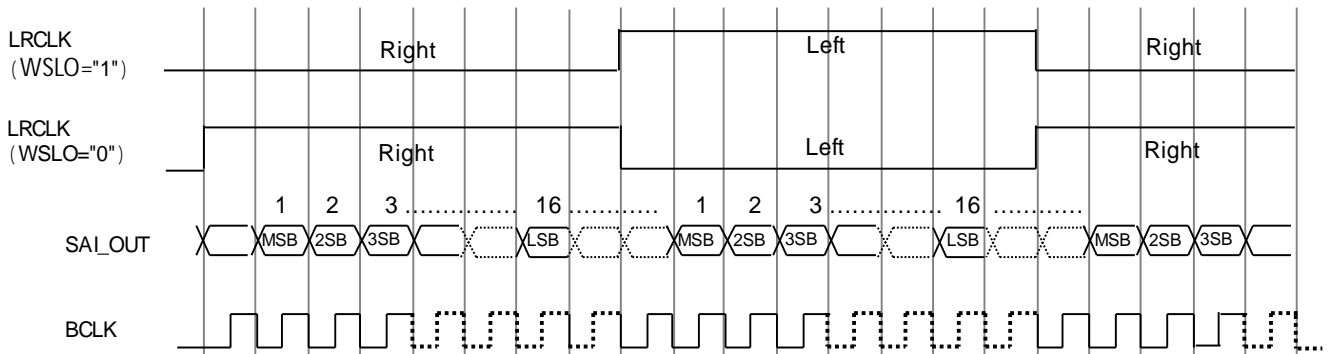
SAI(シリアルオーディオインタフェース)

レジスタ設定の組み合わせにより、様々なシリアルデータフォーマットをサポートします。  
 WSLO, DLYO, FMTO を用いて対応フォーマットを表わします。  
 WSLO, DLYO, FMTO については、「レジスタ」の章の「SAITCON レジスタ」を参照してください。

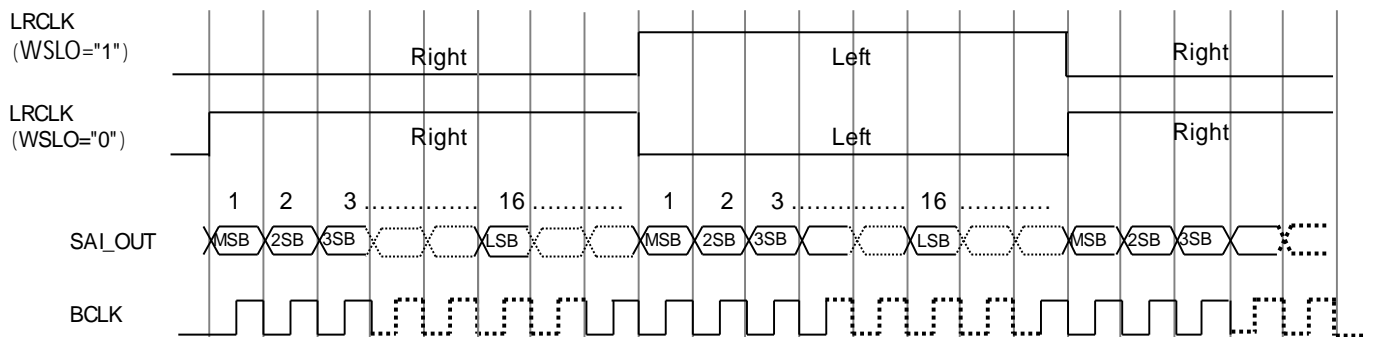
< DLYO="0", FMTO="0", ISSCKO="0" >



< DLYO="0", FMTO="0", ISSCKO="1" >

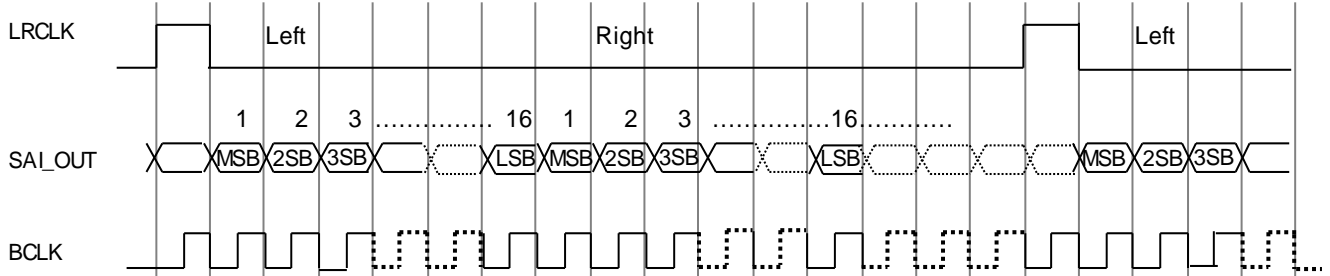


< DLYO="1", FMTO="0", ISSCKO="1" >



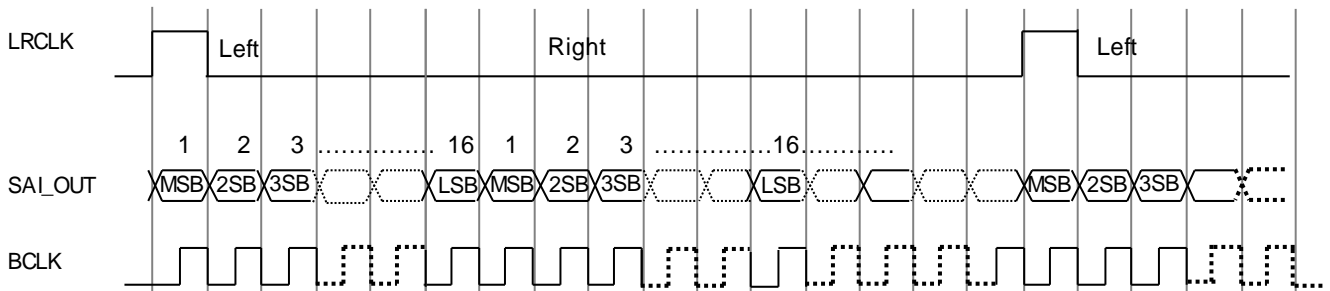
< DLYO="0", FMTO="1", ISSCKO="1" >

フレーム同期転送モードでは Lch データの直ぐ後に Rch データが続きます。



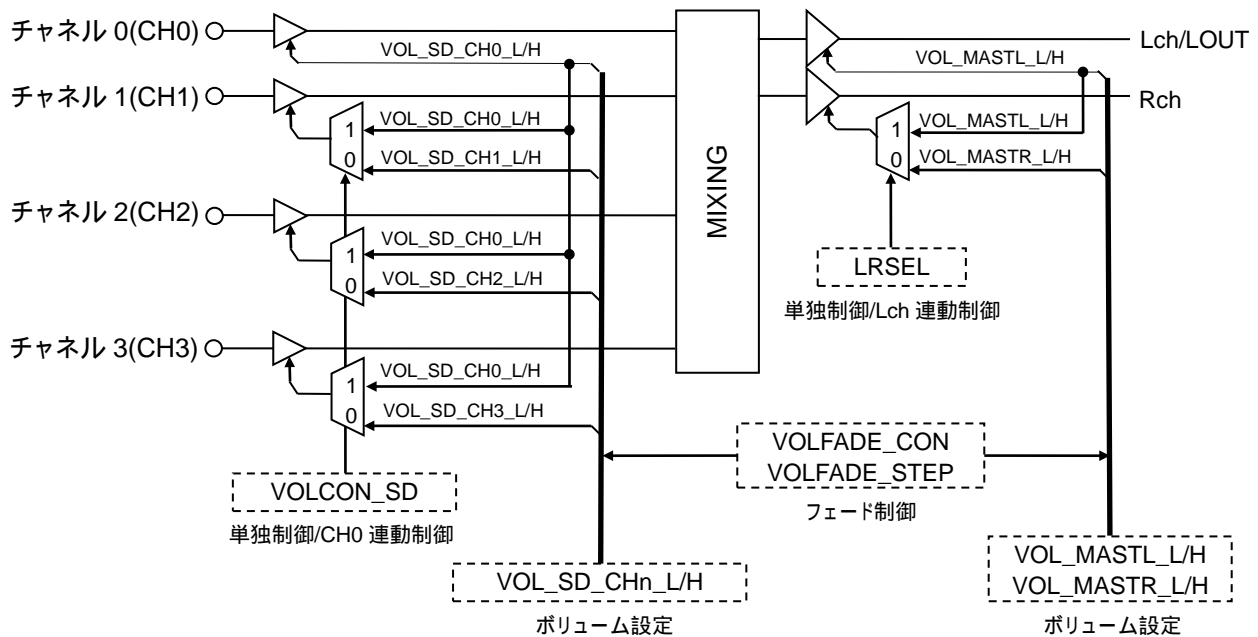
< DLYO="1", FMTO="1", ISSCKO="1" >

フレーム同期転送モードでは Lch データの直ぐ後に Rch データが続きます。



ボリューム設定について

SoundGenerator のボリュームは、VOLCON\_SD レジスタで各チャンネルの単独制御/CH0 連動制御 (初期値: 単独制御) を設定します。VOL\_SD\_CHn\_L/H (n=0-3) レジスタで各チャンネルのボリュームを設定します。ミキシング後のボリュームは、LRSEL レジスタで Rch の単独制御/Lch 連動制御 (初期値: 単独制御) を設定します。VOL\_MASTL\_L/H レジスタ、VOL\_MASTR\_L/H レジスタでミキシング後のボリュームを設定可能です。



各チャンネルのボリューム制御の組合せは以下の通りです。

○: VOL\_SD\_CHn\_L/H を適用 (単独でボリューム制御)

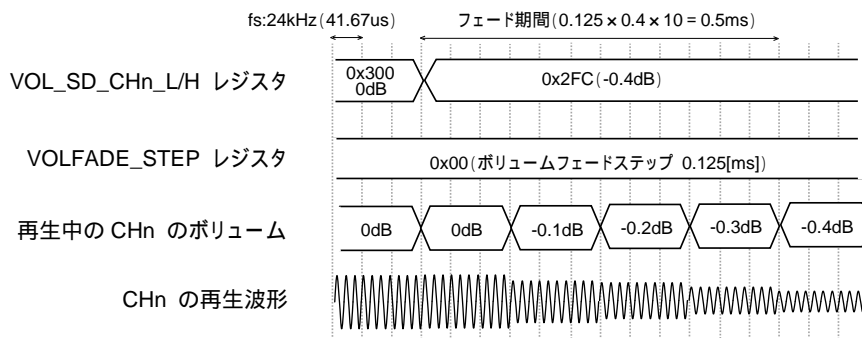
レ: VOL\_SD\_CH0\_L/H を適用 (CH0 に連動してボリューム制御)

VOLCON_SD レジスタ VOLEN_SD_ CHn ビット(n=1~3)	ボリューム制御		
	CH3	CH2	CH1
000(初期値)			
001			レ
010		レ	
011		レ	レ
100	レ		
101	レ		レ
110	レ	レ	
111	レ	レ	レ

さらに VOLFADE\_CON レジスタでボリューム変更時のフェードを有効にすることにより、VOLFADE\_STEP レジスタで設定したフェードステップでボリューム遷移時間を調整することができます。ボリュームは 0.1dB 毎に変化します。ボリュームのフェードは、VOL\_SD\_CHn\_L/H (n=0-3) レジスタで各チャンネルのボリューム変更時、または VOL\_MASTL\_L/H レジスタ、VOL\_MASTR\_L/H レジスタでボリューム変更時に有効です。

< VOL\_SD\_CHn\_L/H (n=0-3) レジスタで各チャンネルのボリューム変更時 >

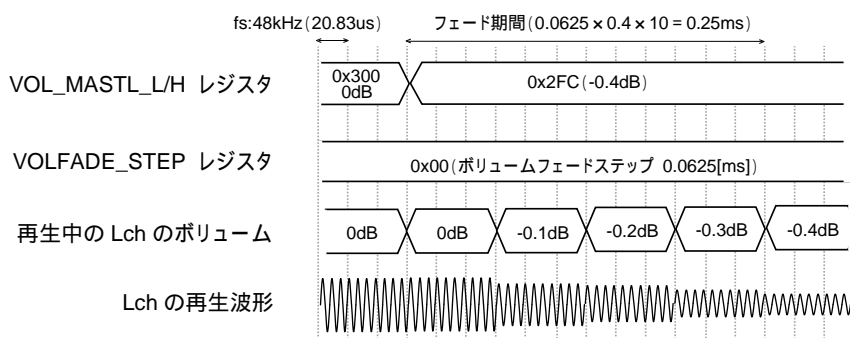
・fs=24kHz の音声コードデータを再生時



ボリュームは、サンプリング周波数(fs)によって遷移します。異なる fs の音声コードデータを同時に再生している場合、ボリュームの遷移時間は異なります。ボリューム遷移時間については、「レジスタ」の章の「VOLFADE\_STEP レジスタ」を参照してください。

< VOL\_MASTL\_L/H レジスタ、VOL\_MASTR\_L/H レジスタでボリューム変更時 >

・GFS ビット=0 時 (OUTMODE レジスタ)



ボリュームは、OUTMODE レジスタの GFS ビットにより 48kHz または 32kHz で遷移します。ボリューム遷移時間については、「レジスタ」の章の「VOLFADE\_STEP レジスタ」を参照してください。

## ピッチ設定について

SoundGenerator は、ピッチ (再生速度) を変更しながら再生することが可能です。

CH0 ~ 1 のピッチ倍率は、0.0625 倍 ~ 3.9960938 倍まで 0.00390625 倍ステップで設定できます。

CH2 ~ 3 のピッチ倍率は、0.0625 倍 ~ 1 倍まで 0.00390625 倍ステップで設定できます。

SoundGenerator のピッチは、PITCHCON\_SD レジスタで単独制御/CH0 連動制御 (初期値: 単独制御) を設定します。

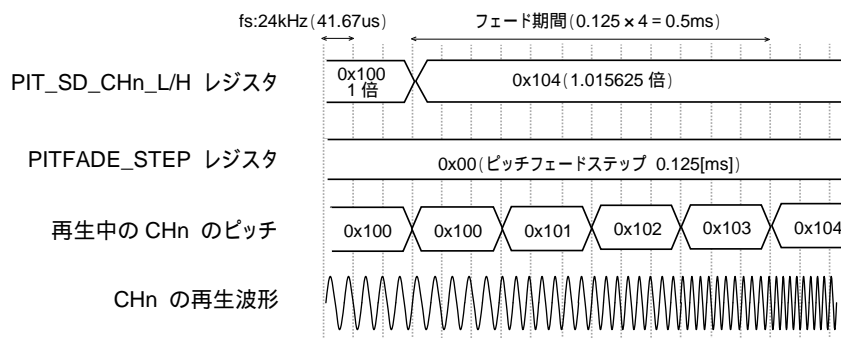
各チャネルのピッチ再生の組合せは以下の通りです。

レ: PIT\_SD\_CH1\_L/H を適用 (単独でピッチ制御)

レ: PIT\_SD\_CH0\_L/H を適用 (CH0 に連動してピッチ制御)

PITCHCON_SD レジスタ PITCHEN_SD_CH1 ビット	ピッチ制御
0	レ
1	レ

さらに PITFADE\_CON レジスタでピッチ変更時のフェードを有効にすることにより、PITFADE\_STEP レジスタで設定したピッチステップで段階的にピッチを調整することができます。



## メモリの構成と音声コードデータの作成方法

シリアル・フラッシュ・メモリに格納する音声コードデータは、音声管理領域、テスト領域、音声領域で構成されます。音声管理領域は、メモリ内の音声領域を管理する領域です。最大 64 フレーズ分の情報が格納されます。音声領域には、実際の波形データが格納されています。

音声コードデータは、専用ツール (Speech LSI Utility) を用いて作成します。

## シリアル・フラッシュ・メモリ(128M ビット) データ構成

address	説明
0x000000	テスト領域
0x00007F	
0x000080	音声管理領域
0x00207F	
0x002080	
0xFFFFF	音声領域

## 再生時間とメモリ容量

再生時間は、メモリ容量、サンプリング周波数に依存します。その関係式を以下に示します。

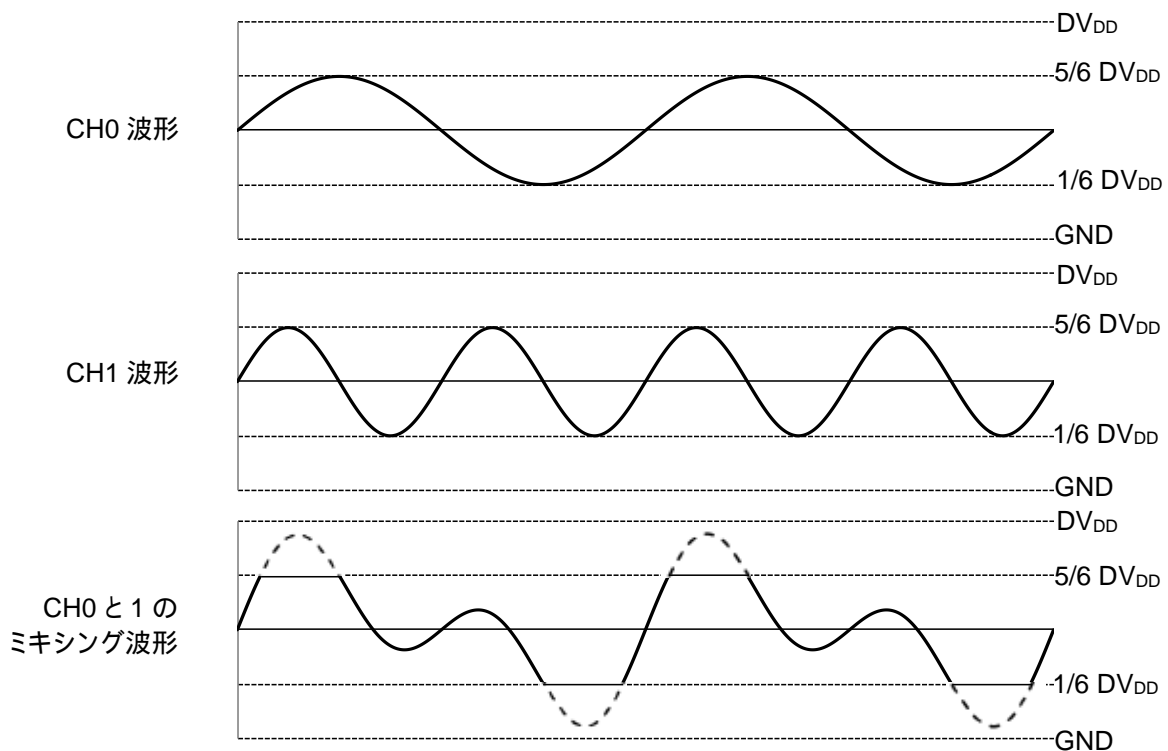
$$\text{再生時間} = \frac{1.024 \times (\text{メモリ容量 (kbit)} - 65)}{\text{サンプリング周波数 (kHz)} \times \text{ビット長}} \quad (\text{秒})$$

4M ビットシリアル・フラッシュ・メモリにサンプリング周波数 48kHz の音声を登録した場合の再生時間は、約 5.37 秒になります。

$$\text{再生時間} = \frac{1.024 \times (4096 \text{ (kbit)} - 65)}{48 \text{ (kHz)} \times 16 \text{ (bit)}} \quad 5.37 \text{ (秒)}$$

## ミキシング時の波形クランプに対する注意事項

ミキシングすると、合成の計算上、下図のようにクランプを起す可能性があります。あらかじめクランプを起すことがわかっており、それを避けたい場合は、ボリューム制御レジスタで各チャンネルのボリュームを調節してください。ボリューム制御レジスタについては、「レジスタ」の章を参照してください。



CH0と1をミキシングした結果が  $1/6 DV_{DD}$  ~  $5/6 DV_{DD}$  レベルを超えた分 (破線部分) は、クランプし音質が劣化する可能性があります。



## 5Band イコライザ

2 次の IIR 型 Band Pass Filter で構成された 5Band のイコライザです。Lch 用(EQL)と Rch 用(EQR)を搭載しています。各 Band の中心周波数と Band 幅を任意に設定することが可能です。EQLCON レジスタと EQRCON レジスタの設定により, ON/OFF を設定することが可能です。設定は下記に従います。

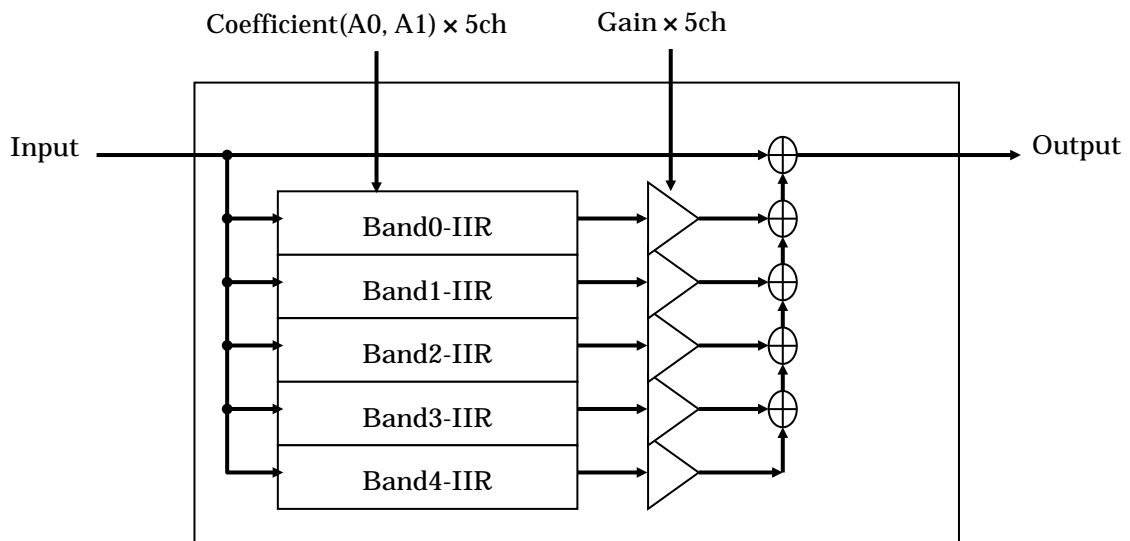
$$A0 = (1 - \tan\pi fb/fs) / (1 + \tan\pi fb/fs)$$

$$A1 = (-2\cos 2\pi f_0/fs) / (1 + \tan\pi fb/fs)$$

$f_0$  : Band の中心周波数 [Hz]

$fb$  : -3dB Band 幅 [Hz]

$fs$  : サンプリング周波数 [Hz]



実際のレジスタ値には, 上式の結果に  $2^{14}$  を掛け, 小数点以下を四捨五入した整数値を用います。

Coefficient(A0, A1), Gain については, 「レジスタ」の章の「イコライザ関連レジスタ」を参照してください。

専用ツール(Speech LSI Utility)を使用してイコライザの調整が可能です。Speech LSI Utility で生成された値を「イコライザ関連レジスタ」に設定してください。

## エラー検知機能

エラー検知機能を内蔵しており、エラー検知の有無を ERROR レジスタで読み出し可能です。

エラー検知の有無を STATUS0 端子 (OUTSTAT0\_0~5 レジスタで設定) または STATUS1\_MCLKO 端子 (OUTSTAT1\_0~5 レジスタで設定), STATUS2 端子 (OUTSTAT2 レジスタで設定) に出力可能です。

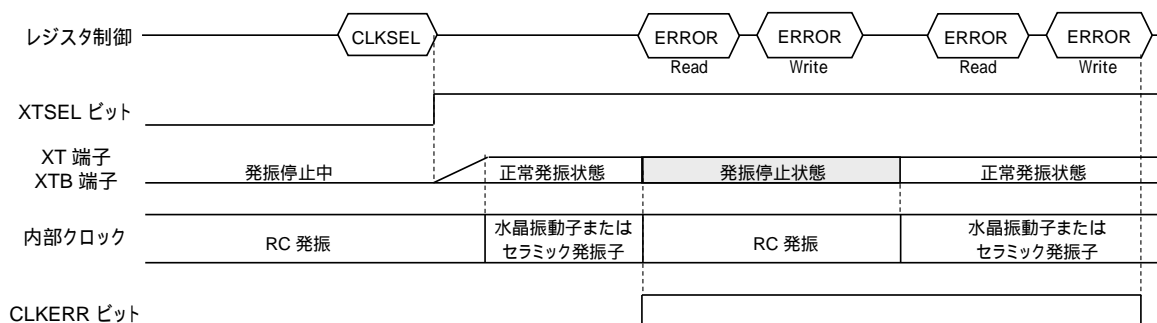
ERROR レジスタ, OUTSTAT0\_0~5 レジスタ, OUTSTAT1\_0~5 レジスタ, OUTSTAT2 レジスタについては、「レジスタ」の章を参照してください。

エラー検知を以下に示します。

U 水晶振動子またはセラミック発振子からのクロック入力の停止を検知

CLKSEL レジスタの XTSEL ビットに“1”を設定した状態で、発振停止を検知した場合に CLKERR ビットが“1”になります。同時にクロックバックアップ機能が起動し、RC 発振回路 (4.096MHz) に自動的に切り替わります。

ERROR レジスタで CLKERR ビットを読み出し可能です。また、ERROR レジスタに書き込むことで CLKERR ビットをクリア可能です。ただし、発振停止が継続している状態では、CLKERR ビットは“1”を継続します。

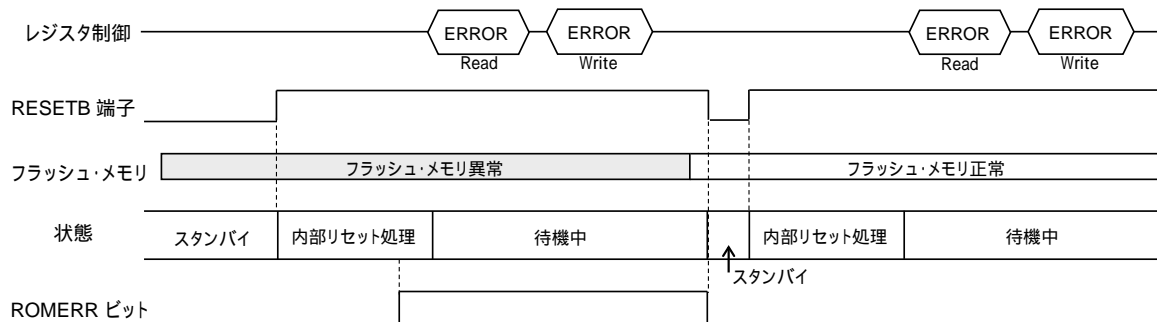


ERROR レジスタ, CLKSEL レジスタについては、「レジスタ」の章を参照してください。

### ウ フラッシュ・メモリのエラー検知

RESETB 端子を“L” “H”レベルにすると、内部リセット処理中にフラッシュ・メモリを読み出します。フラッシュ・メモリの読み出しデータに異常が検知された場合、ROMERR ビットが“1”になります。この場合、RESETB 端子によるリセットで本 LSI を初期化してください。

ERROR レジスタで ROMERR ビットを読み出し可能です。ERROR レジスタに書き込み処理しても ROMERR ビットはクリアされません。



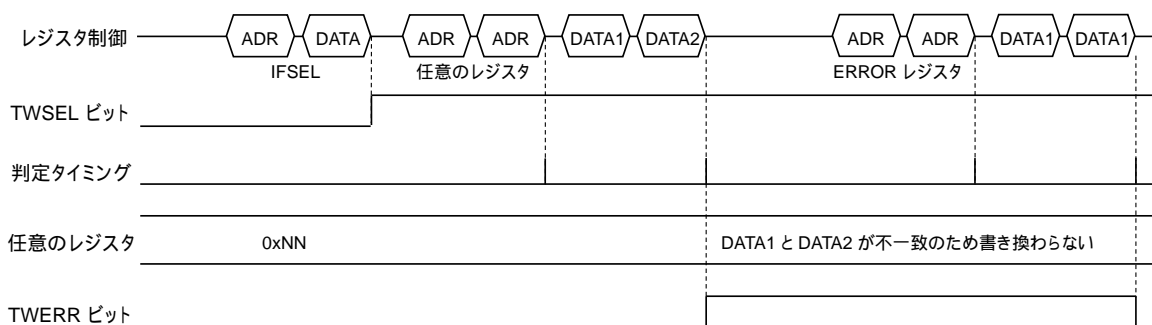
ERROR レジスタについては、「レジスタ」の章を参照してください。

### ウ 2 回入力のエラー検知

シリアルインタフェース端子のノイズによる誤動作を防止するために、アドレス・データをそれぞれ 2 回入力する機能を搭載しています。IFSEL レジスタの TWSEL ビットに“1”を設定すると 2 回入力モードに移行します。

2 回入力モードでは、アドレス・データをそれぞれ 2 回連続して入力し、入力されたデータが一致した場合のみ有効となります。1 回目のデータ入力と 2 回目のデータ入力に不一致が発生した場合、TWERR ビットが“1”になり、入力されたアドレスまたはデータは無視されます。

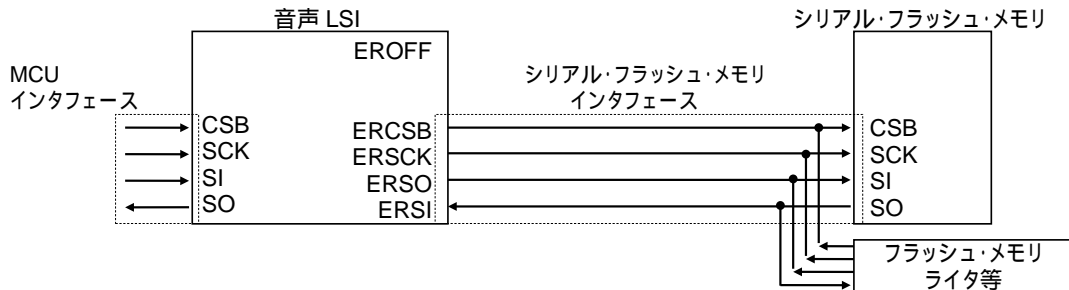
ERROR レジスタで TWERR ビットを読み出し可能です。ERROR レジスタに書き込むことで TWERR ビットをクリア可能です。



ERROR レジスタ、IFSEL レジスタについては、「レジスタ」の章を参照してください。

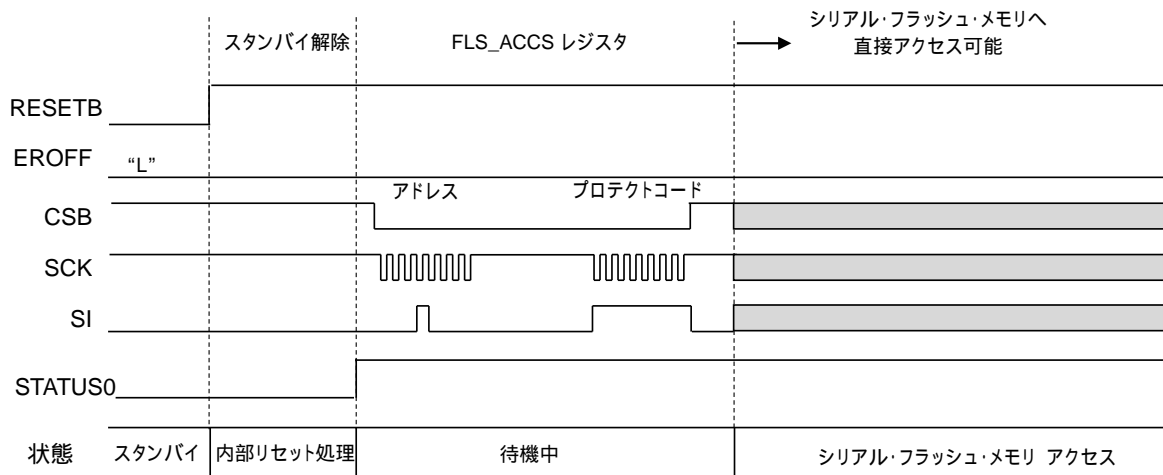
シリアル・フラッシュ・メモリ書き換え機能

以下の2つの方法で、シリアル・フラッシュ・メモリを書き換えることができます。



MCU インタフェースのクロック同期シリアルインタフェースを使用して書き換え

MCU インタフェースのクロック同期シリアルインタフェースである CSB, SCK, SI, SO 端子を使用してシリアル・フラッシュ・メモリを書き換えることができます。FLS\_ACCS レジスタに書き込んだプロテクトコードがフラッシュ・メモリに格納されていた情報と一致すると、CSB, SCK, SI, SO 端子からシリアル・フラッシュ・メモリへ直接アクセスが可能になります。

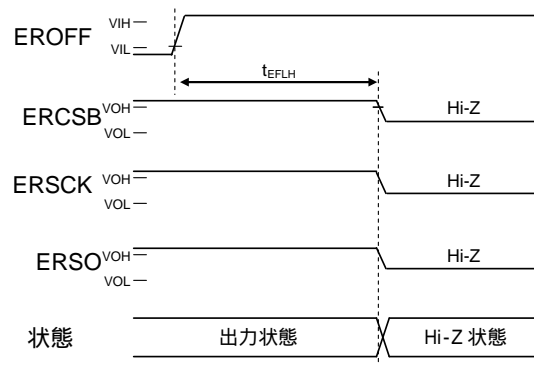


FLS\_ACCS レジスタについては、「レジスタ」の章を参照してください。

音声 LSI を介さずにシリアル・フラッシュ・メモリインタフェースを使用して書き換え

シリアル・フラッシュ・メモリインタフェースである ERCSB, ERCSK, ERSI, ERSO 端子を使用してシリアル・フラッシュ・メモリを書き換えることができます。

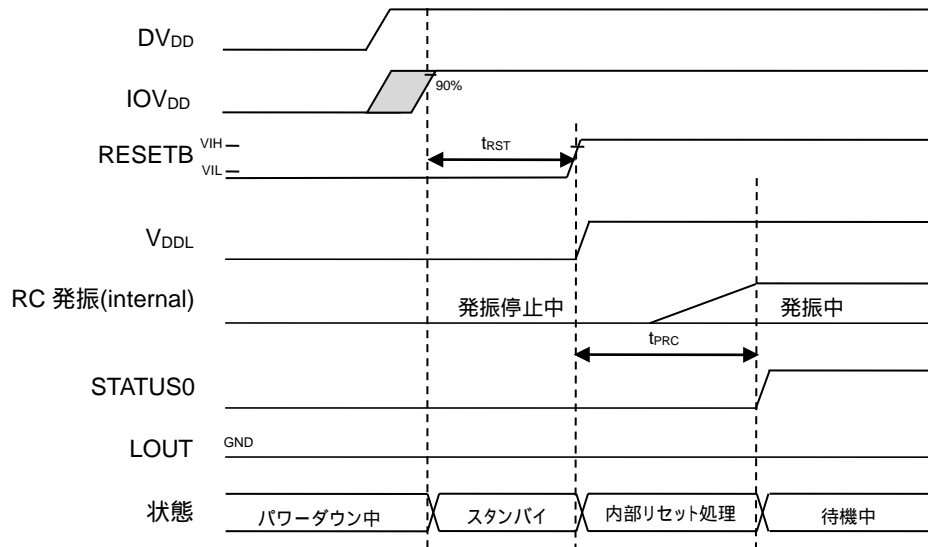
EROFF 端子を“H”に設定すると、ERCSB, ERCSK, ERSO 端子がハイインピーダンス状態になりますので、本 LSI を介さずに ERCSB, ERCSK, ERSI, ERSO 端子を使用してシリアル・フラッシュ・メモリを書き換えることが可能です。



## タイミングチャート

共通

## u 電源投入タイミング



電源投入時は、必ず RESETB 端子に“L”を入力してください。

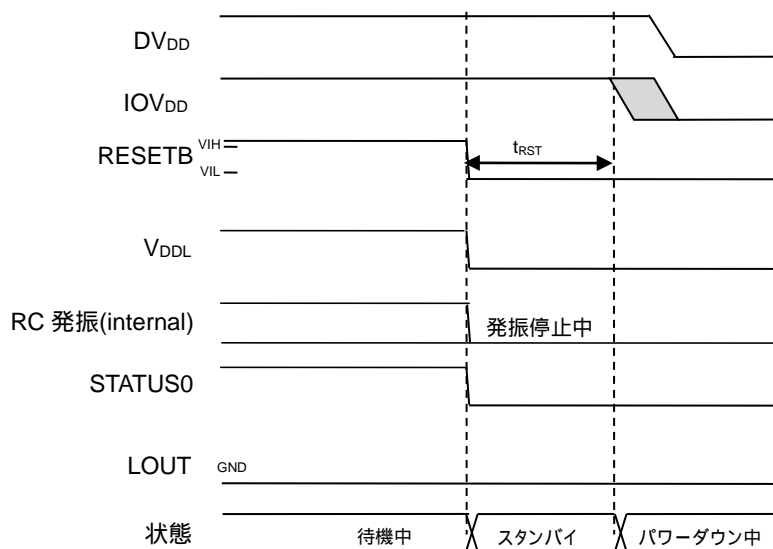
RESETB 端子が L レベルの間はスタンバイ状態となります。

DV<sub>DD</sub>、IOV<sub>DD</sub> の順に立ち上げてください。また、DV<sub>DD</sub>、IOV<sub>DD</sub> を同時に立ち上げることも可能です。リセット解除後(RESETB が L → H レベル)は、内部リセット処理を経て待機中(発振中)となります。

t<sub>PRC</sub> 経過後、または STATUS0 端子が“H”になった後、レジスタにアクセスしてください。

DV<sub>DD</sub> が(推奨)動作電圧範囲を下回った場合、必ず RESETB 端子に“L”を入力してください。

## u 電源遮断タイミング

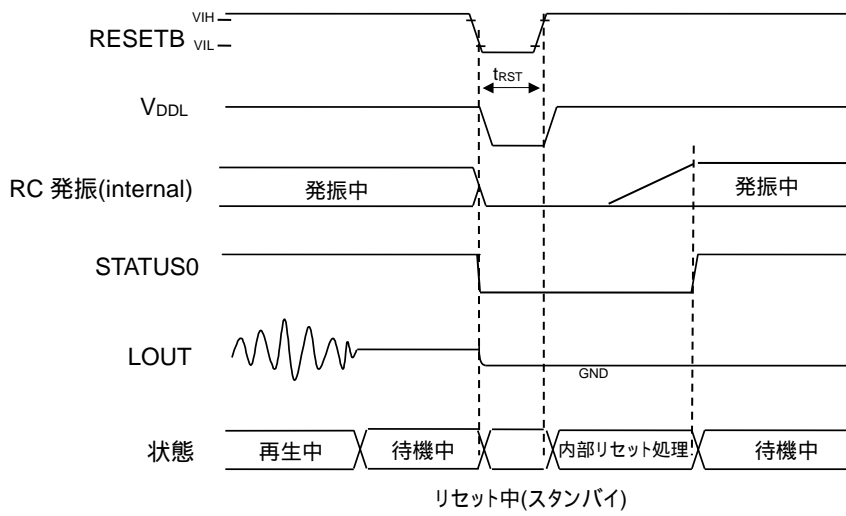


電源遮断時は、必ず RESETB 端子に“L”を入力してください。

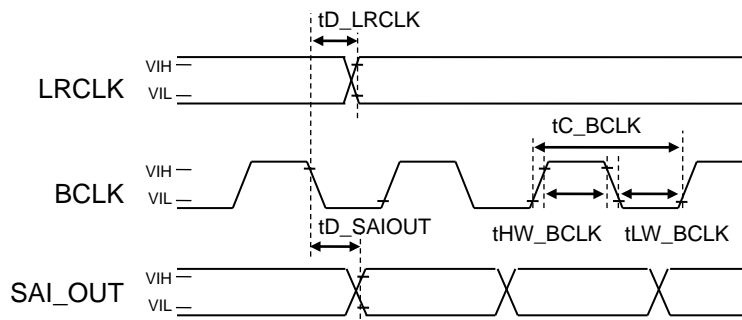
IOV<sub>DD</sub>、DV<sub>DD</sub> の順に立ち下げてください。また、DV<sub>DD</sub>、IOV<sub>DD</sub> を同時に立ち下げることも可能です。

DV<sub>DD</sub> が(推奨)動作電圧範囲を下回った場合、必ず RESETB 端子に“L”を入力してください。

u リセット入力タイミング

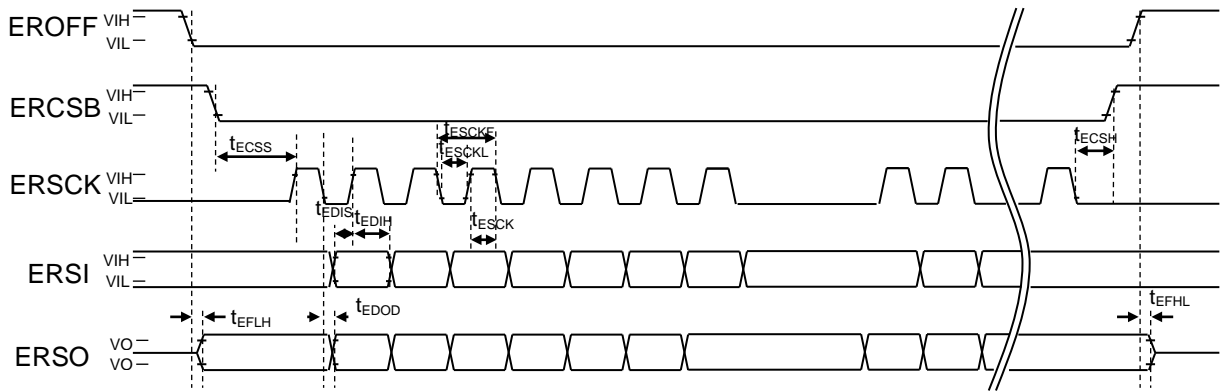


u SAI インタフェースタイミング (マスタ)



MCLKO は、BCLK と同期しています。

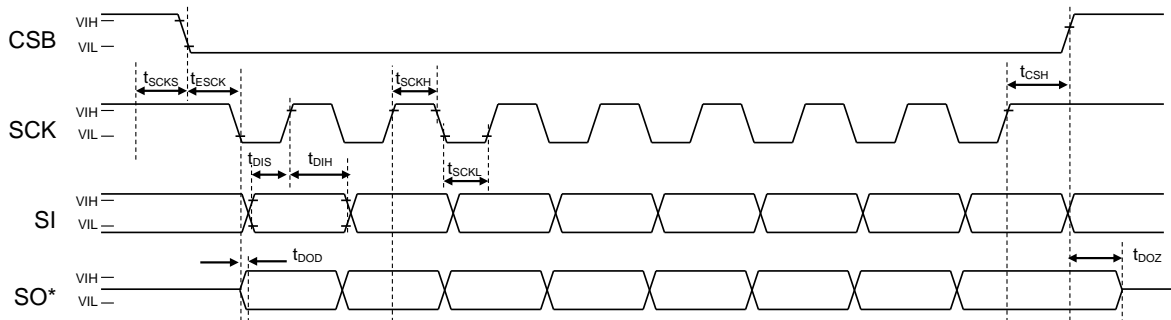
u シリアル・フラッシュ・メモリアンタフェースタイミング



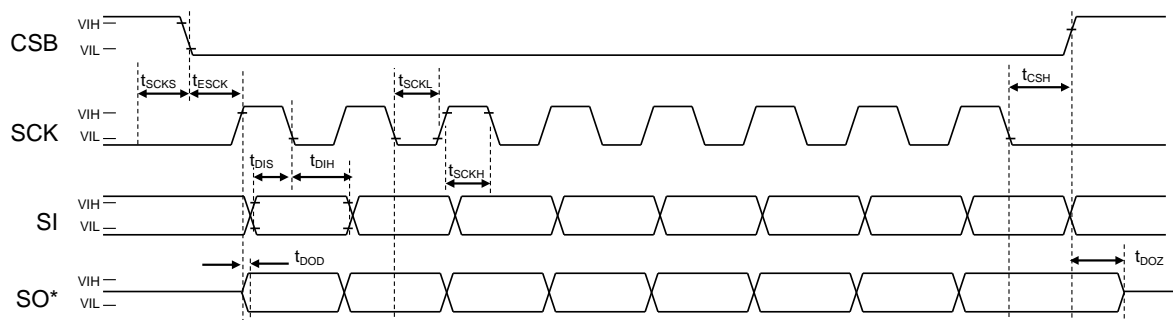


## クロック同期式シリアル

## u クロック同期シリアルインタフェースタイミング (SCK 初期値=“H”レベル時)

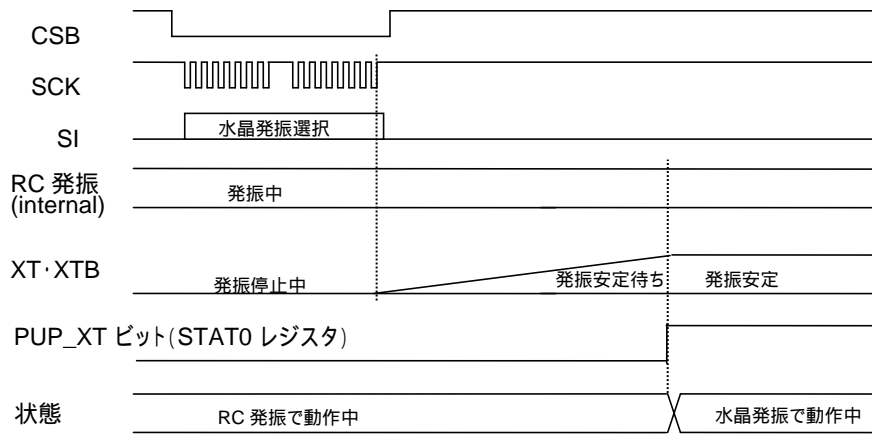


## u クロック同期シリアルインタフェースタイミング (SCK 初期値=“L”レベル時)

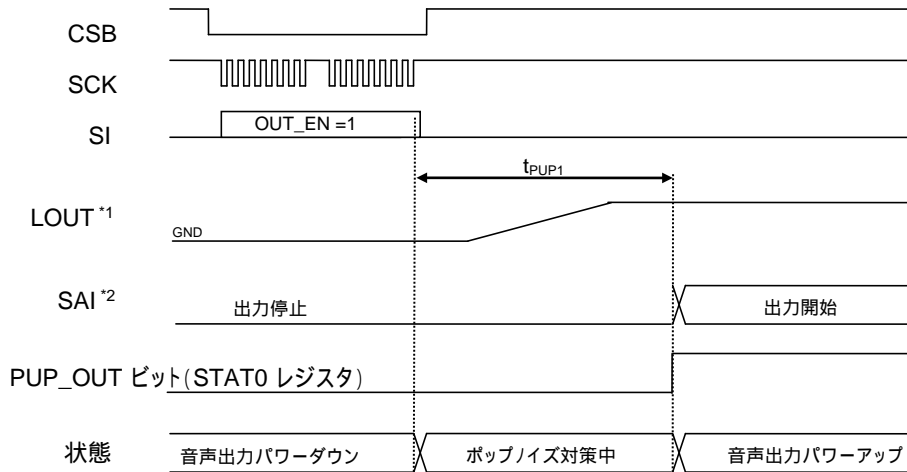


\*読み出し時のみ SO 端子に“H”または“L”を出力します。  
書き込み時, SO 端子はハイインピーダンス状態になります。

u 水晶発振切り替えタイミング

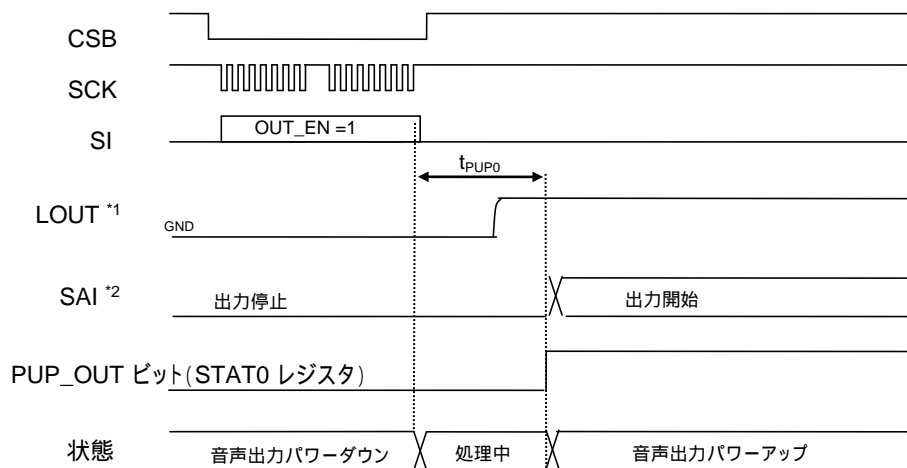


u 音声出力パワーアップ時 (ポップノイズ対策ビット POP= “ 1 ” )



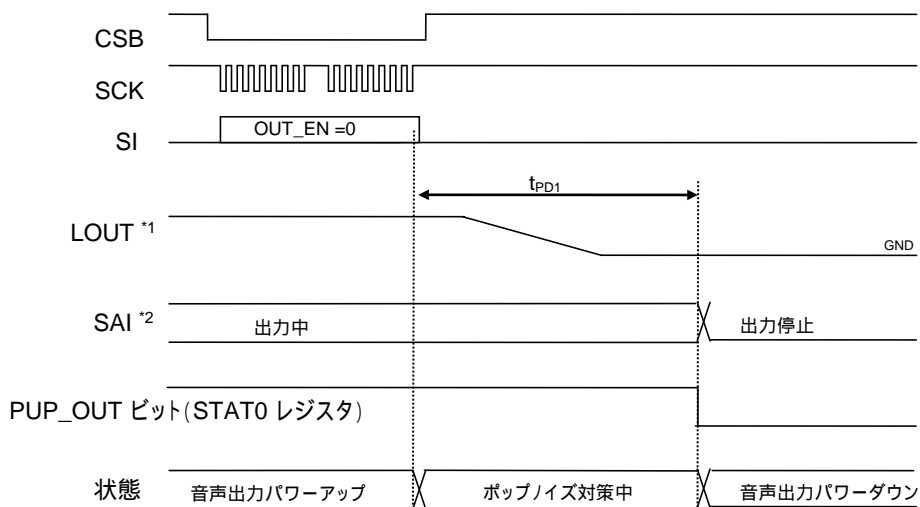
- \*1 OUTMODE レジスタの OUT\_MD[1:0]で LINE アンプからの再生を選択していない場合, GND 固定になります。  
 \*2 OUTMODE レジスタの OUT\_MD[1:0]で SAI 端子からの再生を選択していない場合, SAI 端子 (BCLK / LRCLK / SAI\_OUT / STATUS1\_MCLKO) に出力されません。

u 音声出力パワーアップ時 (ポップノイズ対策ビット POP= “ 0 ” )



- \*1 OUTMODE レジスタの OUT\_MD[1:0]で LINE アンプからの再生を選択していない場合, GND 固定になります。  
 \*2 OUTMODE レジスタの OUT\_MD[1:0]で SAI 端子からの再生を選択していない場合, SAI 端子 (BCLK / LRCLK / SAI\_OUT / STATUS1\_MCLKO) に出力されません。

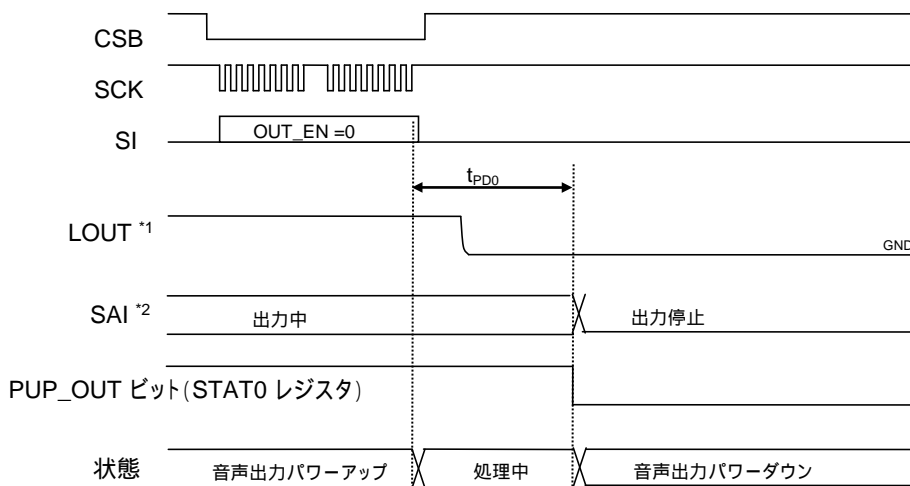
u 音声出力パワーダウン時（ポップノイズ対策ビット POP= “ 1 ” ）



\*1 OUTMODE レジスタの OUT\_MD[1:0]で LINE アンプからの再生を選択していない場合, GND 固定になります。

\*2 OUTMODE レジスタの OUT\_MD[1:0]で SAI 端子からの再生を選択していない場合, SAI 端子 (BCLK / LRCLK / SAI\_OUT / STATUS1\_MCLKO) に出力されません。

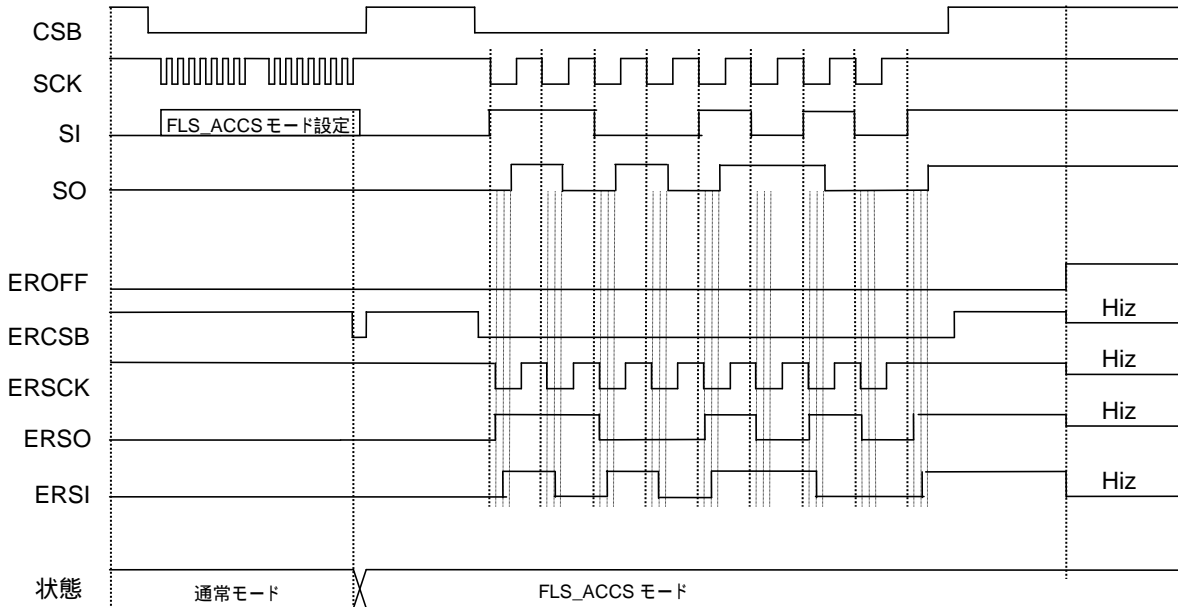
u 音声出力パワーダウン時（ポップノイズ対策ビット POP= “ 0 ” ）



\*1 OUTMODE レジスタの OUT\_MD[1:0]で LINE アンプからの再生を選択していない場合, GND 固定になります。

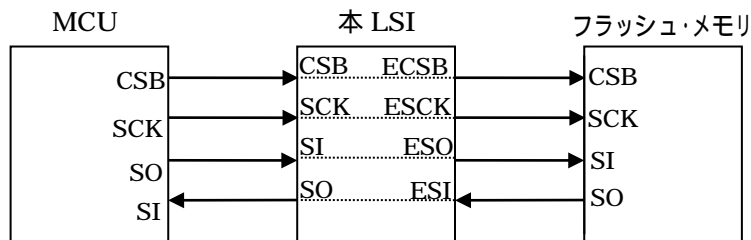
\*2 OUTMODE レジスタの OUT\_MD[1:0]で SAI 端子からの再生を選択していない場合, SAI 端子 (BCLK / LRCLK / SAI\_OUT / STATUS1\_MCLKO) に出力されません。

u フラッシュ・メモリ アクセスフロー

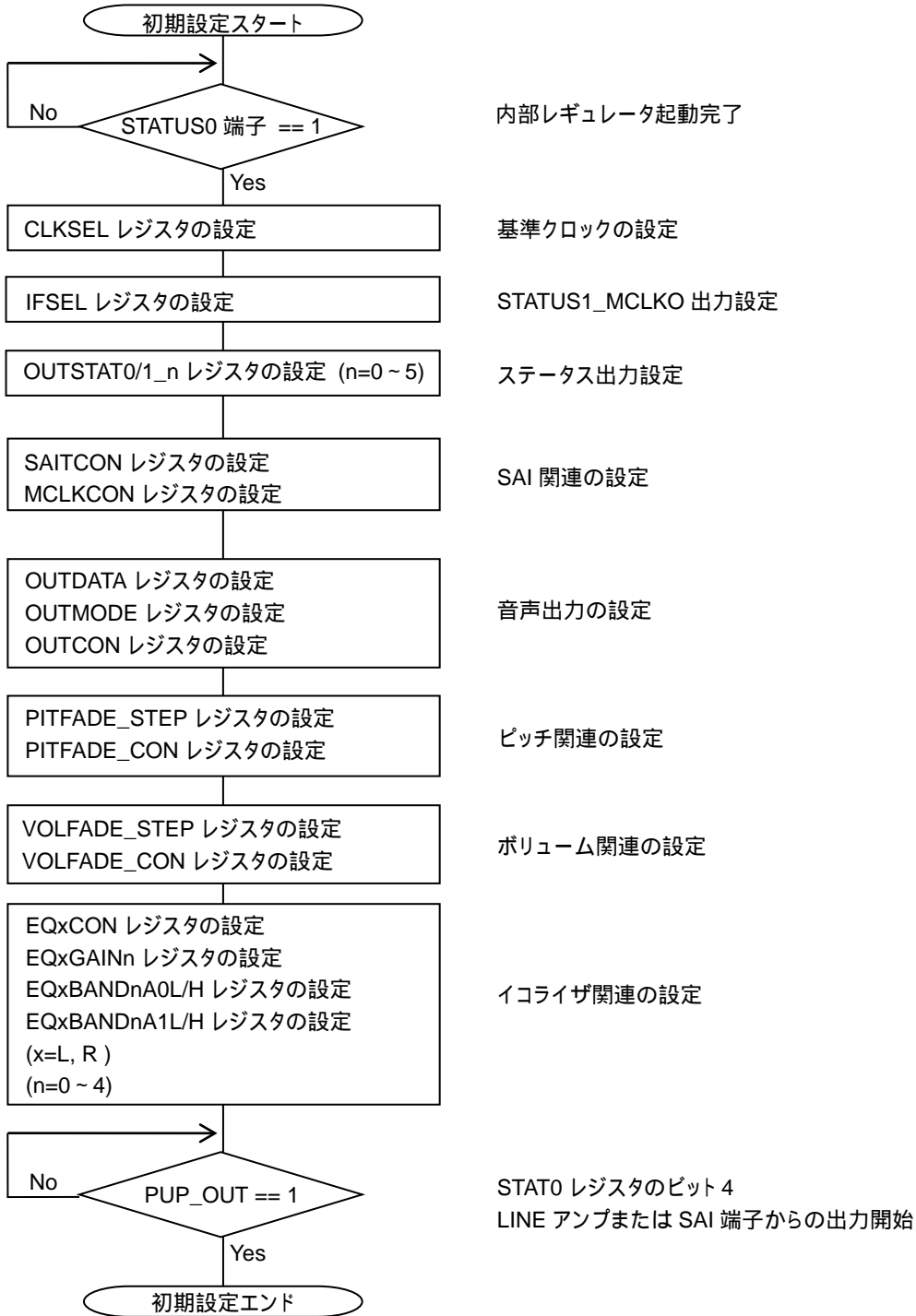


FLS\_ACCS モード設定にすると、以下に示すように LSI 内部で端子がダイレクトに接続されます。EROFF 端子を H レベルにすると ERCSB, ERSCK, ERSO および ERSI 端子は HiZ 状態になります。

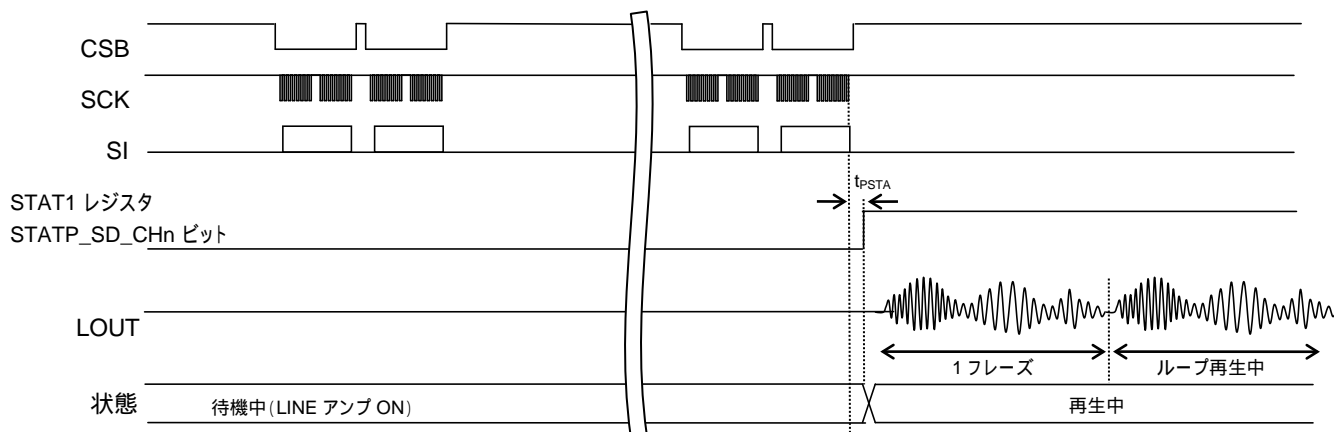
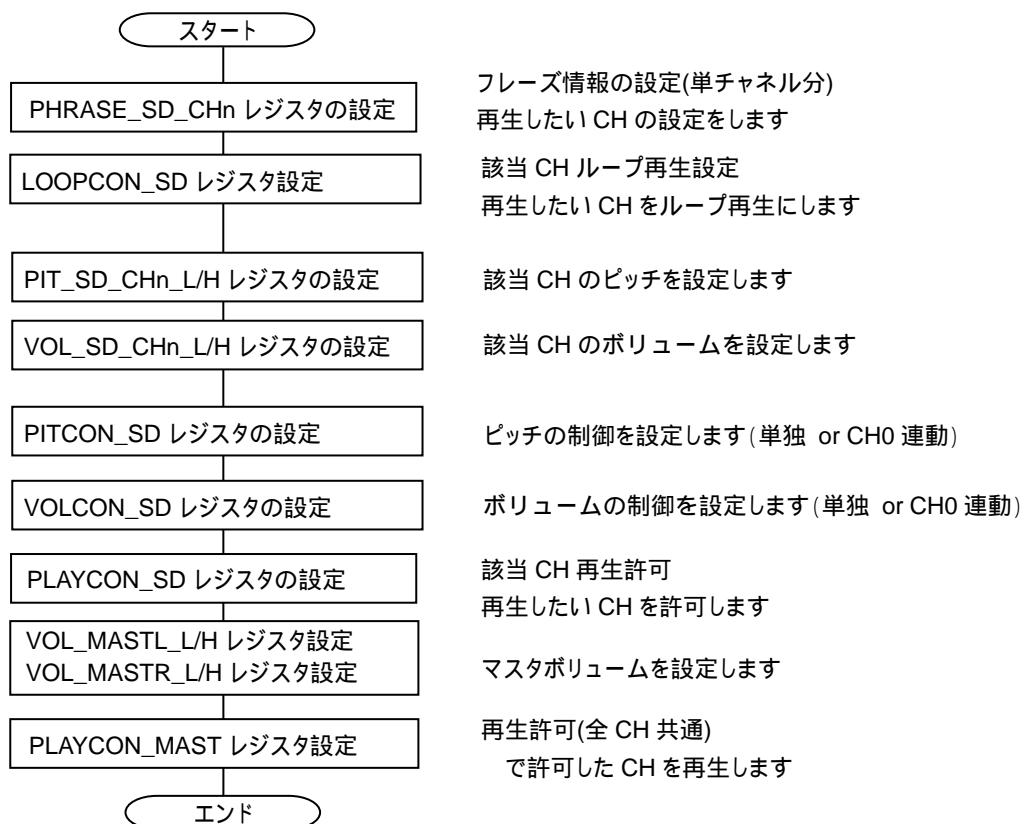
端子名	I/O	接続される端子名	I/O	
			EROFF=L	EROFF=H
CSB	I	ERCSB	O	HiZ
SCK	I	ERSCK	O	HiZ
SI	I	ERSO	O	HiZ
SO	O	ERSI	I (Pull Down)	HiZ



U SoundGenerator 初期設定フロー



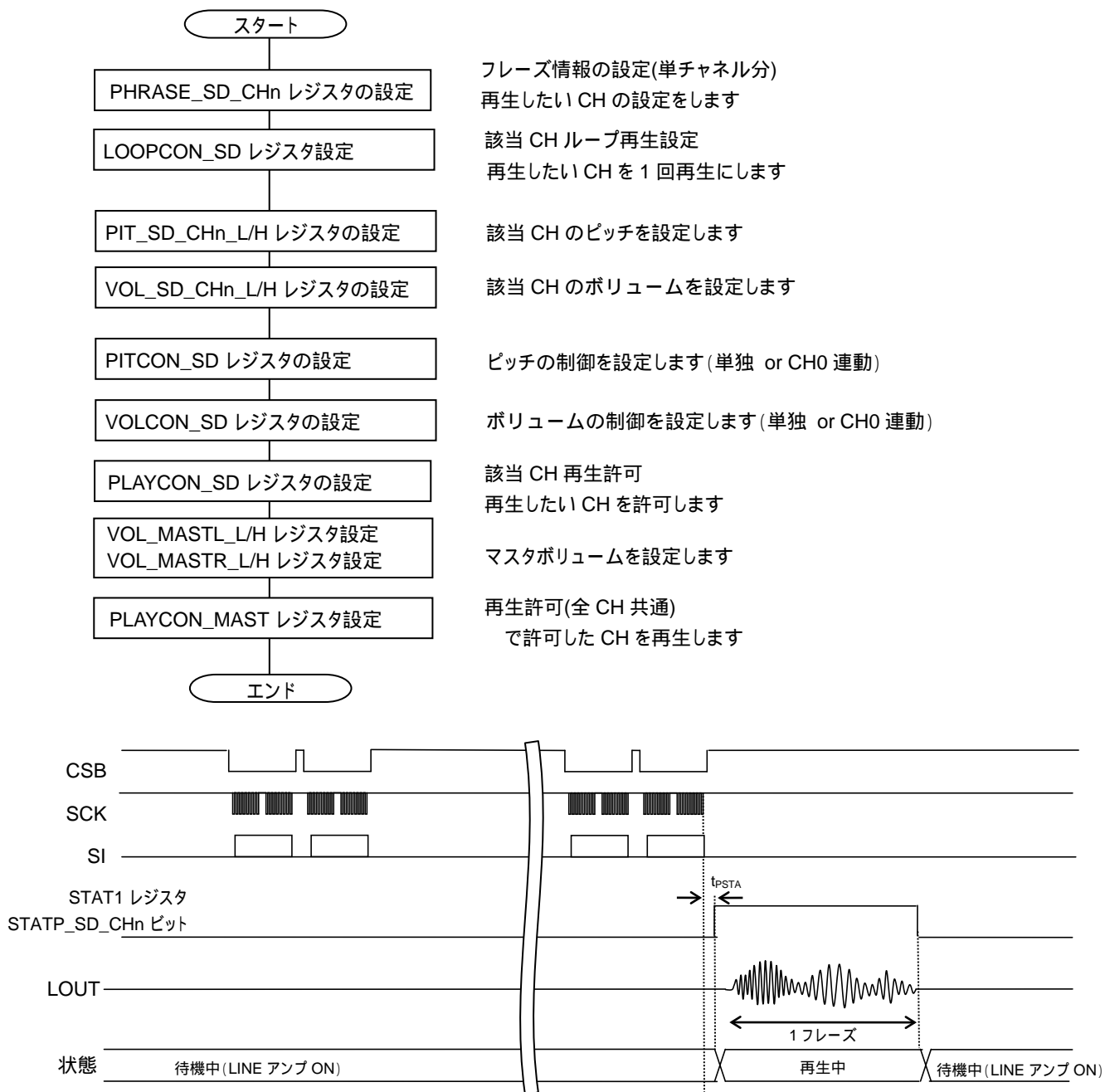
## U SoundGenerator 再生フロー（単チャンネル/ループ有り）



・SoundGenerator はループ設定の有無で、1 回再生とループ再生を選択できます。ループ再生を終了する場合は、ループ設定を解除し、フレーズ終了を待って再生を終了させてください。即座に再生を終了させたい場合は該当 CH 許可を禁止にしてください。

・サンプリング周波数の異なるフレーズを異なる CH で同時に再生開始させた場合、音声コードデータ長によってはループ時に CH 間でズレが発生する可能性があります。

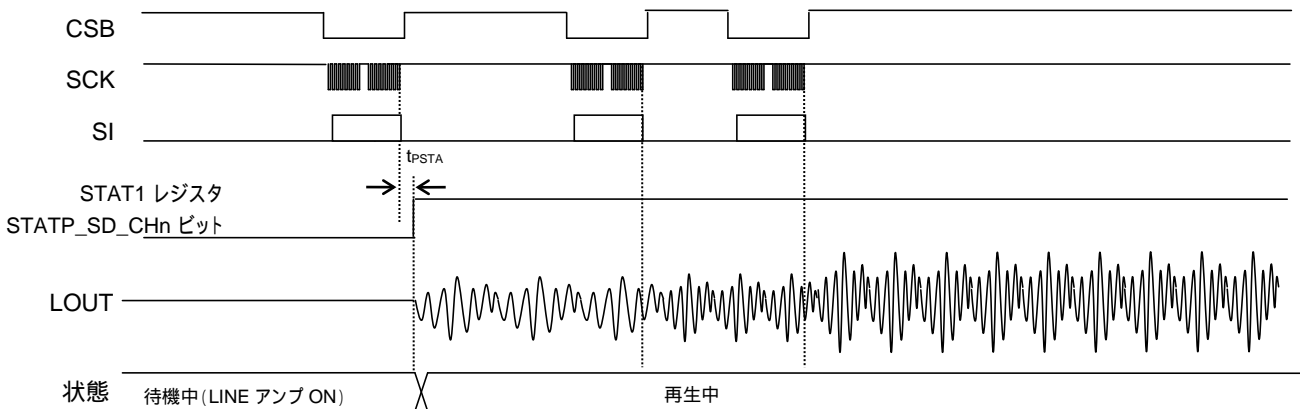
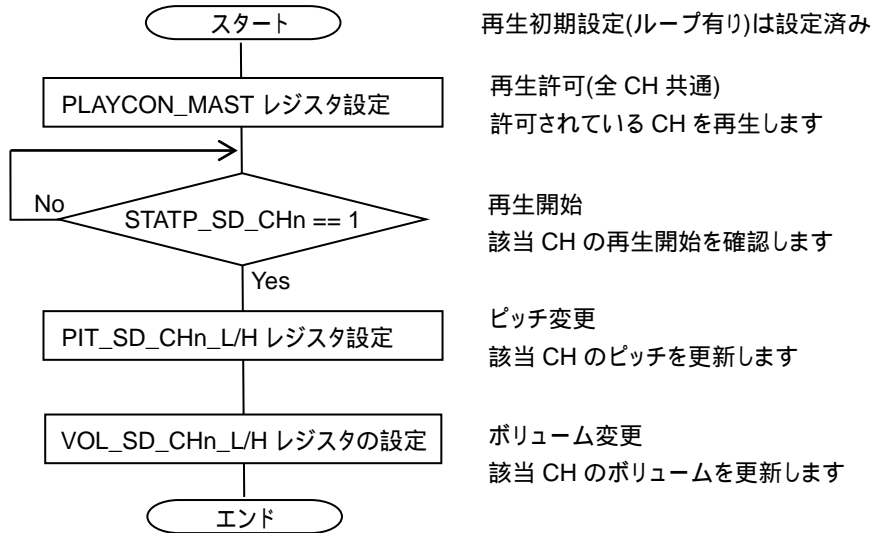
U SoundGenerator 再生フロー (単チャンネル/ループ無し)



SoundGenerator はループ設定の有無で、1 回再生とループ再生を選択できます。1 回再生時はフレーズ終了と同時に再生が終了します。

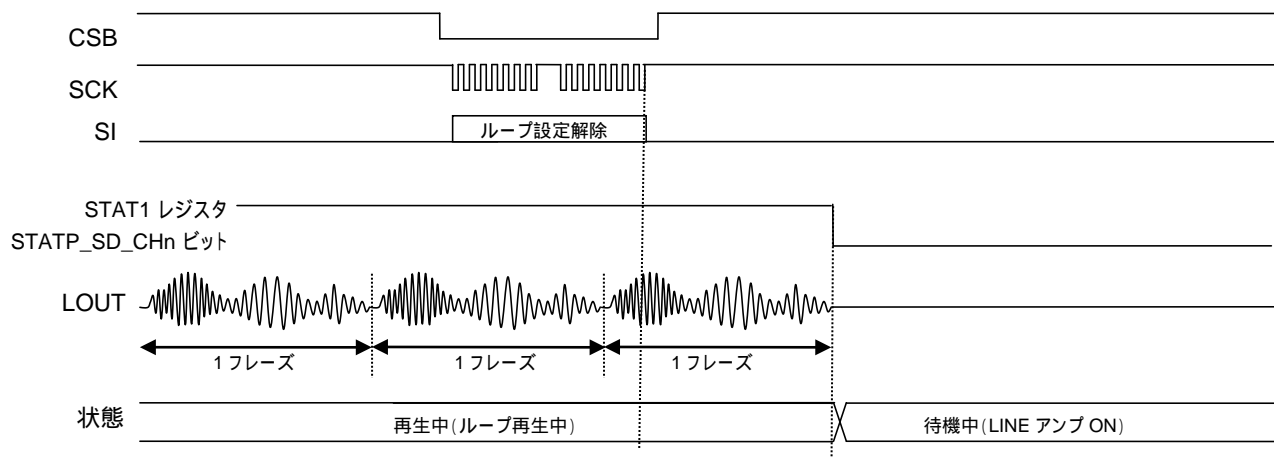


U SoundGenerator 再生途中のピッチ/ボリューム変更フロー



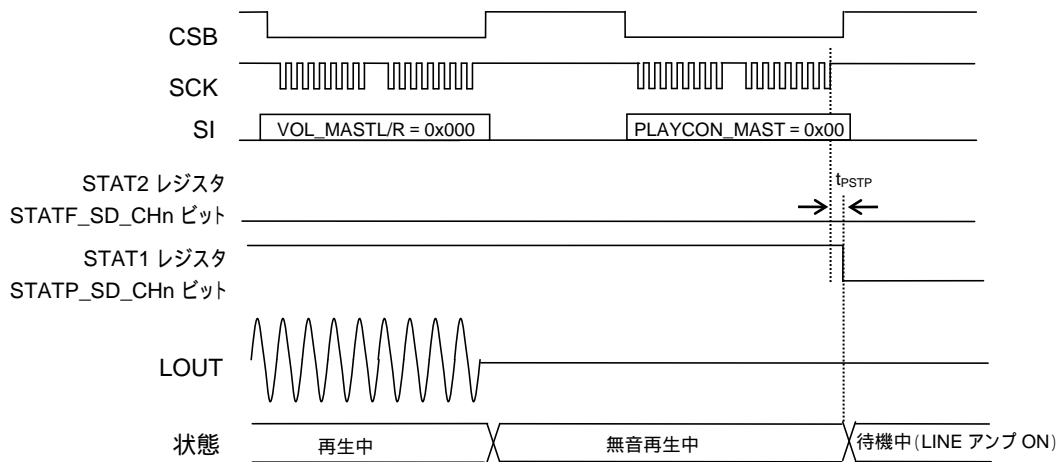
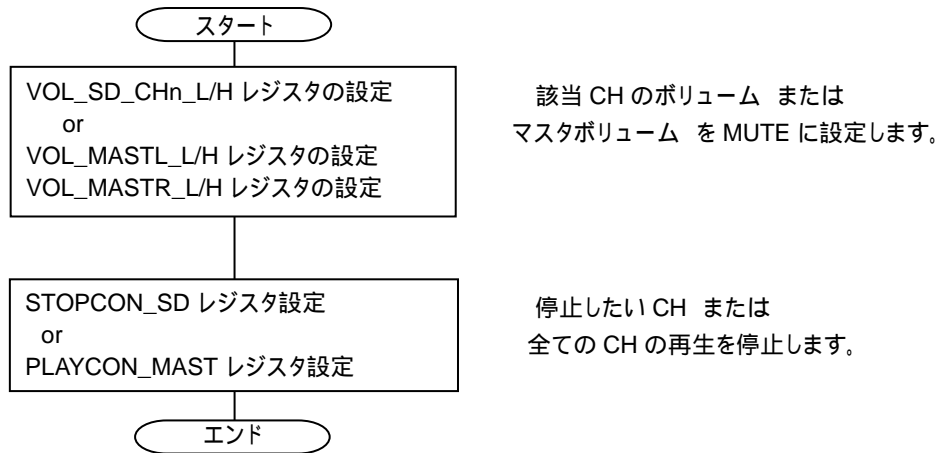
再生中に、ピッチやボリュームの変更が可能です。

## U SoundGenerator ループ再生解除タイミング



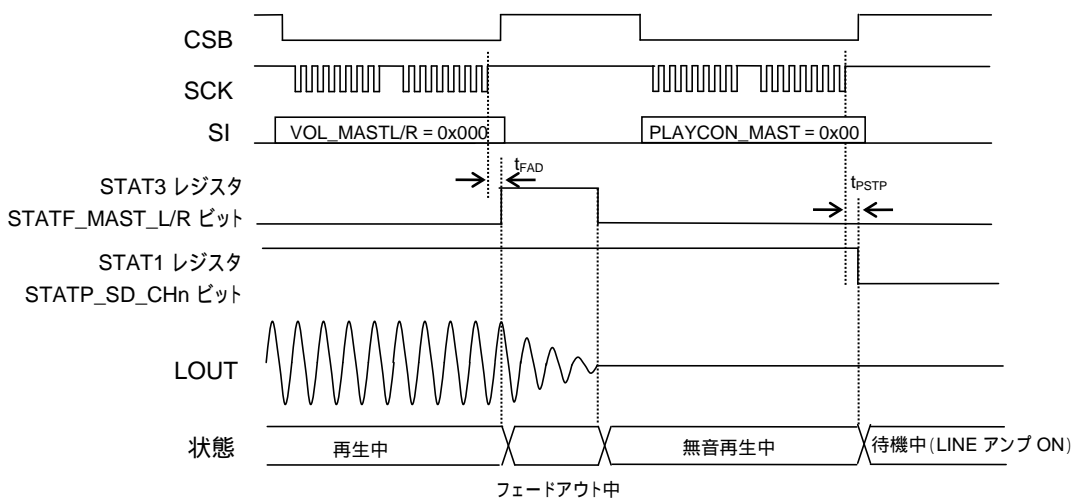
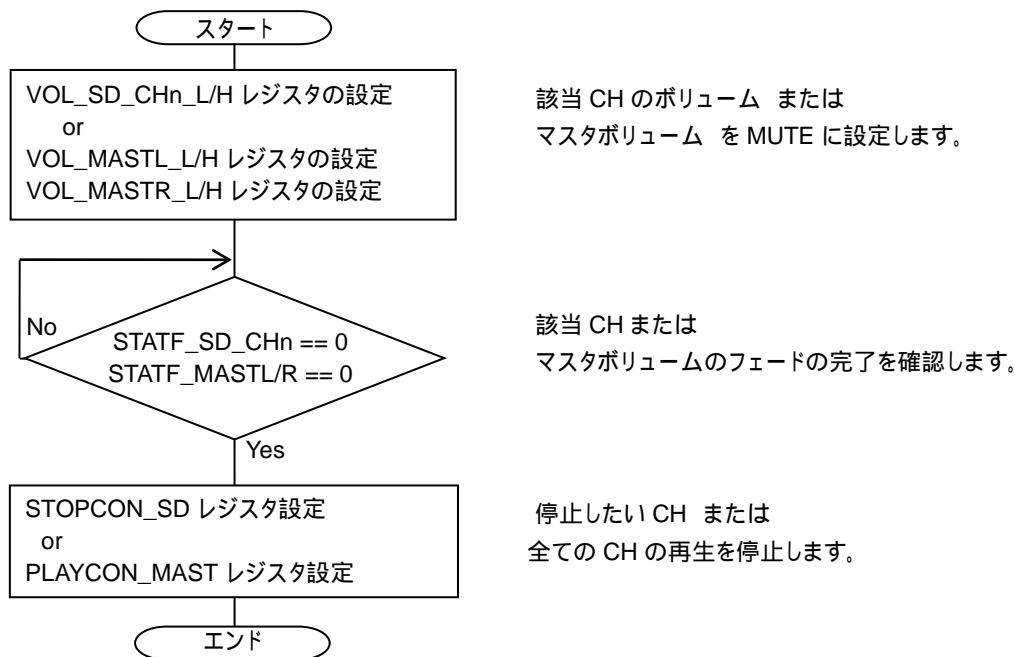
フレーム終了のタイミングでループ再生を停止します。

## u 再生終了タイミング (フェードなし時)



- ・複数 CH を再生時、CH の再生を停止する場合は、該当 CH のボリューム (VOL\_SD\_CHn) を MUTE に設定してください。
- ・全ての CH の再生を停止する場合は、マスタボリューム (VOL\_MASTL\_L/H, VOL\_MASTR\_L/H) を MUTE に設定してください。
- ・単 CH を再生時、再生を停止する場合は、マスタボリューム (VOL\_MASTL\_L/H, VOL\_MASTR\_L/H) を MUTE に設定してください。
- ・PLAYCON\_MAST レジスタで再生を停止した後、再生を再開する場合は、SoundGenerator 再生フローを参照してください。

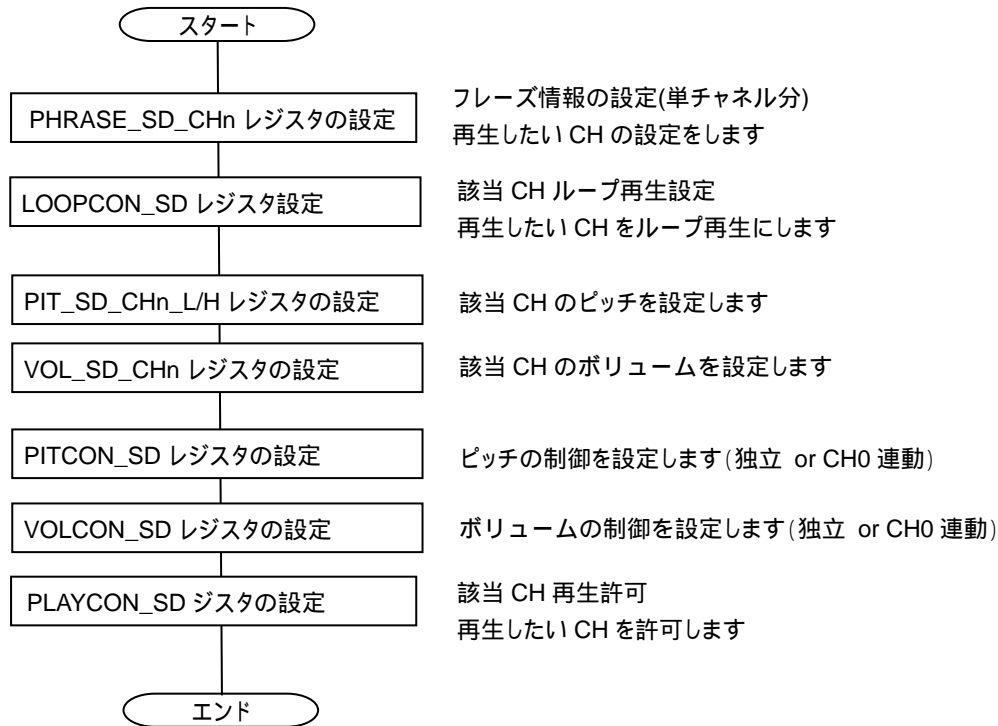
## u 再生終了タイミング (フェードあり時)



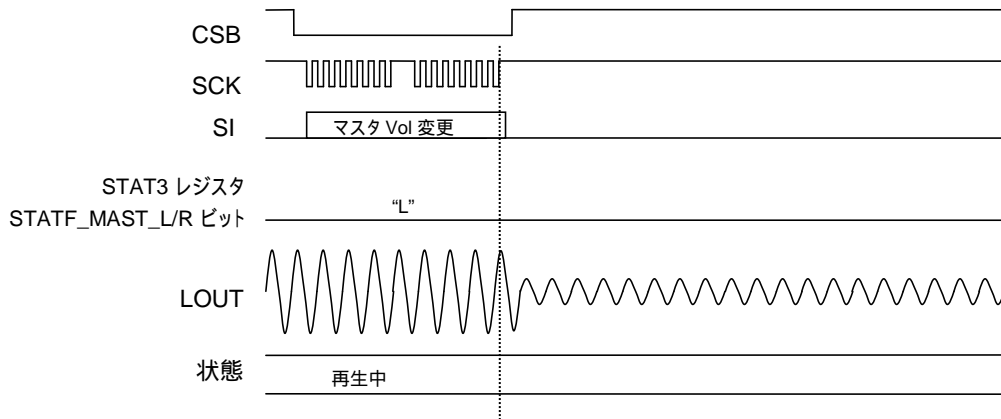
- ・複数 CH を再生時, CH の再生を停止する場合は, 該当 CH のボリューム ( $VOL\_SD\_CHn$ ) を MUTE に設定してください。  
全ての CH の再生を停止する場合は, マスタボリューム ( $VOL\_MASTL\_L/H$ ,  $VOL\_MASTR\_L/H$ ) を MUTE に設定してください。
- ・単 CH を再生時, 再生を停止する場合は, マスタボリューム ( $VOL\_MASTL\_L/H$ ,  $VOL\_MASTR\_L/H$ ) を MUTE に設定してください。
- ・PLAYCON\_MAST レジスタで再生を停止した後, 再生を再開する場合は, SoundGenerator 再生フローを参照してください。

## U SoundGenerator CH 追加の再生フロー

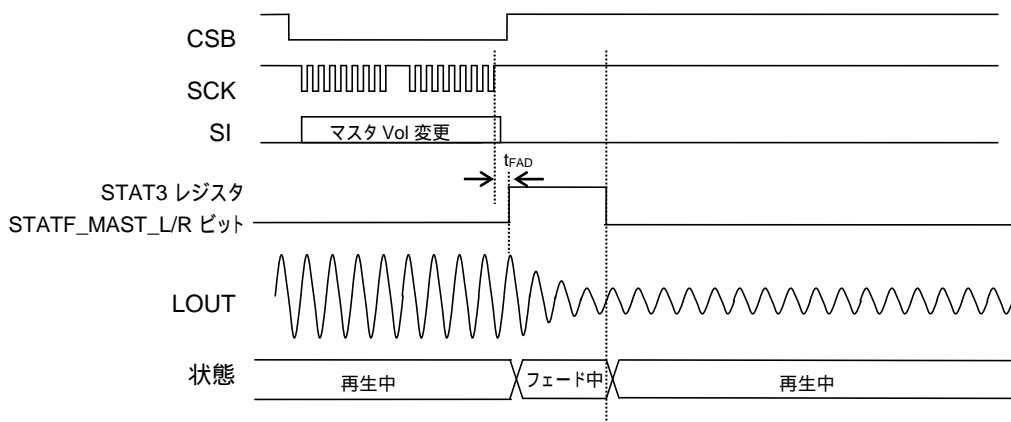
・任意の CH を再生時,再生していない CH を再生させる場合  
(複数 CH を再生時,STOPCON\_SD レジスタで一部の CH のみ再生を停止した後,停止した CH を再生させる場合)



## u ボリューム変更タイミング (全チャンネル) (フェードなし)



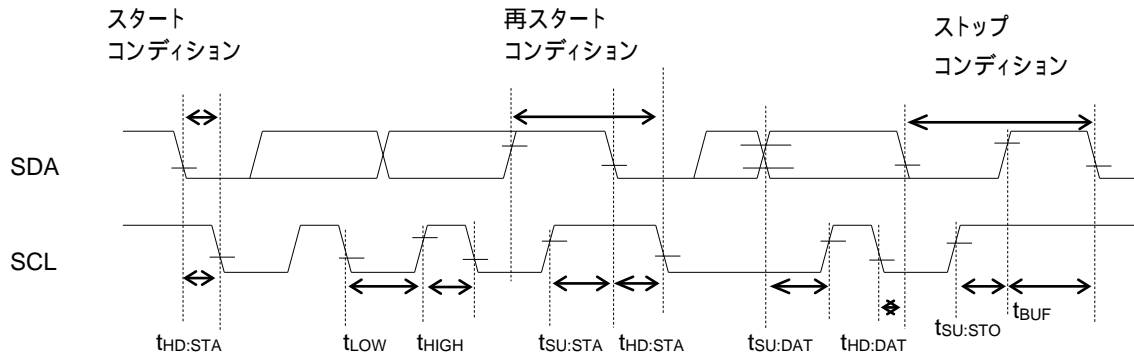
## u ボリューム変更タイミング (全チャンネル) (フェードあり)



\*1 ボリューム遷移時間については、レジスタの「VOLFADE\_STEP レジスタ」を参照してください。

I<sup>2</sup>C スレーブ

u I<sup>2</sup>C インタフェースタイミング



## レジスタ

### レジスタバンク一覧

機能毎にレジスタがバンク分けされて配置されます。  
全バンク共通のレジスタ BANKSEL レジスタで、バンクの切り替えを行います。

BANKSEL レジスタ[3:0]	選択レジスタ部
0x0	SoundGenerator0 関連レジスタ
0x1	SoundGenerator1 関連レジスタ
0x2	EqualizerLch 関連レジスタ
0x3	EqualizerRch 関連レジスタ
0x4-0xF	設定禁止

各バンクのレジスタについては、次頁以降を確認してください。  
記載されていないバンク、アドレスへの書き込みは禁止です。各レジスタの未使用ビットには初期値を書き込んでください。



## レジスタリスト

## u 全バンク共通レジスタリスト ( BANKSEL[3:0]=0x0, 0x1, 0x2, 0x3 )

0x00 ~ 0x3F のアドレス空間は、全バンク共通となっており、どのバンクからでもアクセス可能です。

記載されていないアドレスへの書き込みは禁止です。各レジスタの未使用ビットには初期値を書き込んでください。

アドレス	レジスタ名	機能	R/W
0x00	BANKSEL	アクセスバンク選択	R/W
0x01	CLKSEL	基準クロック選択	R/W
0x02	I <sup>2</sup> CSEL	I <sup>2</sup> C アクセスモード選択	R/W
0x03	IFSEL	IF 選択	R/W
0x04	LRSEL	Lch/Rch の設定値の選択	R/W
0x05~0x06	-	書き込み禁止	R
0x07	ERROR	内部エラー状態の通知	R/W
0x08	STAT0	内部状態の通知	R
0x09	STAT1	CH0~3 の再生状態の通知	R
0x0A	STAT2	CH0~3 のボリュームフェード状態の通知	R
0x0B	STAT3	マスタボリューム Lch/Rch のフェード状態の通知	R
0x0C~0x0F	-	書き込み禁止	R
0x10	FLS_ACCS	シリアル・フラッシュ・メモリ アクセス制御	W
0x11~0x15	-	書き込み禁止	R
0x16	SAITCON	SerialAudioInterface 送信フォーマット設定	R/W
0x17	-	書き込み禁止	R
0x18	-	書き込み禁止	R
0x19	MCLKCON	SerialAudioInterface MCLK 出力制御	R/W
0x1A	-	書き込み禁止	R
0x1B	OUTDATA	音声出力データ送信チャンネル設定	R/W
0x1C	OUTMODE	音声出力モード設定	R/W
0x1D	OUTCON	音声出力制御	R/W
0x1E~0x1F	-	書き込み禁止	R
0x20	OUTSTAT0_0	STAT0 レジスタの STATUS0 端子出力設定	R/W
0x21	OUTSTAT0_1	STAT1 レジスタの STATUS0 端子出力設定	R/W
0x22	OUTSTAT0_2	STAT2 レジスタの STATUS0 端子出力設定	R/W
0x23	OUTSTAT0_3	STAT3 レジスタの STATUS0 端子出力設定	R/W
0x24	-	書き込み禁止	R
0x25	OUTSTAT0_5	ERROR レジスタの STATUS0 端子出力設定	R/W
0x26,0x27	-	書き込み禁止	R
0x28	OUTSTAT1_0	STAT0 レジスタの STATUS1_MCLKO 端子出力設定	R/W
0x29	OUTSTAT1_1	STAT1 レジスタの STATUS1_MCLKO 端子出力設定	R/W
0x2A	OUTSTAT1_2	STAT2 レジスタの STATUS1_MCLKO 端子出力設定	R/W
0x2B	OUTSTAT1_3	STAT3 レジスタの STATUS1_MCLKO 端子出力設定	R/W
0x2C	-	書き込み禁止	R
0x2D	OUTSTAT1_5	ERROR レジスタの STATUS1_MCLKO 端子出力設定	R/W
0x2E	-	書き込み禁止	R
0x2F	OUTSTAT2	ERROR レジスタの STATUS2 端子出力設定	R/W

アドレス	レジスタ名	機能	R/W
0x30~0x31	-	書き込み禁止	R
0x32	PITFADE_STEP	ピッチフェードステップ設定	R/W
0x33	PITFADE_CON	ピッチフェード制御	R/W
0x34,0x35	-	書き込み禁止	R
0x36	VOLFADE_STEP	ボリュームフェードステップ設定	R/W
0x37	VOLFADE_CON	ボリュームフェード制御	R/W
0x38	VOL_MASTL_L	マスタボリューム Lch 設定	R/W
0x39	VOL_MASTL_H		R/W
0x3A	VOL_MASTR_L	マスタボリューム Rch 設定	R/W
0x3B	VOL_MASTR_H		R/W
0x3C~0x3D	-	書き込み禁止	R
0x3E	PLAYCON_MAST	再生開始/停止制御	R/W
0x3F	-	書き込み禁止	R

#### U SoundGenerator0 関連レジスタリスト (BANKSEL[3:0]=0x0)

記載されていないアドレスへの書き込みは禁止です。各レジスタの未使用ビットには初期値を書き込んでください。  
0x00 ~ 0x3F のアドレス空間は、全バンク共通となっていますので、「全バンク共通レジスタリスト」を参照してください。

アドレス	レジスタ名	機能	R/W
0x00~0x3F	-	全バンク共通レジスタ	-
0x40	PITCHCON_SD	CH のピッチ制御	R/W
0x41	VOLCON_SD	CH のボリューム制御	R/W
0x42	PLAYCON_SD	CH の再生制御	W
0x43	STOPCON_SD	CH の再生停止制御	W
0x44~0x4F	-	書き込み禁止	R
0x50	PIT_SD_CH0_L	CH0 ピッチ設定	R/W
0x51	PIT_SD_CH0_H		R/W
0x52	PIT_SD_CH1_L	CH1 ピッチ設定	R/W
0x53	PIT_SD_CH1_H		R/W
0x54	PIT_SD_CH2_L	CH2 ピッチ設定	R/W
0x55	PIT_SD_CH2_H		R/W
0x56	PIT_SD_CH3_L	CH3 ピッチ設定	R/W
0x57	PIT_SD_CH3_H		R/W
0x58~0x5F	-	書き込み禁止	R
0x60	VOL_SD_CH0_L	CH0 ボリューム設定	R/W
0x61	VOL_SD_CH0_H		R/W
0x62	VOL_SD_CH1_L	CH1 ボリューム設定	R/W
0x63	VOL_SD_CH1_H		R/W
0x64	VOL_SD_CH2_L	CH2 ボリューム設定	R/W
0x65	VOL_SD_CH2_H		R/W
0x66	VOL_SD_CH3_L	CH3 ボリューム設定	R/W
0x67	VOL_SD_CH3_H		R/W
0x68~0x7F	-	書き込み禁止	R

#### U SoundGenerator1 関連レジスタリスト (BANKSEL[3:0]=0x1)

記載されていないアドレスへの書き込みは禁止です。各レジスタの未使用ビットには初期値を書き込んでください。  
0x00 ~ 0x3F のアドレス空間は、全バンク共通となっていますので、「全バンク共通レジスタリスト」を参照してください。

アドレス	レジスタ名	機能	R/W
0x00~0x3F	-	全バンク共通レジスタ	-
0x40	PHRASE_SD_CH0	CH0 再生フレーズ設定	R/W
0x41	PHRASE_SD_CH1	CH1 再生フレーズ設定	R/W
0x42	PHRASE_SD_CH2	CH2 再生フレーズ設定	R/W
0x43	PHRASE_SD_CH3	CH3 再生フレーズ設定	R/W
0x44~0x47	-	書き込み禁止	R
0x48	LOOPCON_SD	ループ再生制御	R/W
0x49~0x7F	-	書き込み禁止	R

## U EqualizerLch 関連レジスタリスト (BANKSEL[3:0]=0x2)

記載されていないアドレスへの書き込みは禁止です。各レジスタの未使用ビットには初期値を書き込んでください。  
0x00 ~ 0x3F のアドレス空間は、全バンク共通となっていますので、「全バンク共通レジスタリスト」を参照してください。

アドレス	レジスタ名	機能	R/W
0x00~0x3F	-	全バンク共通レジスタ	-
0x40	EQLCON	EQ Lch 許可制御	R/W
0x41	EQLGAIN0	EQ Lch Band0 ゲイン設定	R/W
0x42	EQLGAIN1	EQ Lch Band1 ゲイン設定	R/W
0x43	EQLGAIN2	EQ Lch Band2 ゲイン設定	R/W
0x44	EQLGAIN3	EQ Lch Band3 ゲイン設定	R/W
0x45	EQLGAIN4	EQ Lch Band4 ゲイン設定	R/W
0x46	EQLBAND0A0L	EQ Lch Band0 A0 係数設定	R/W
0x47	EQLBAND0A0H		R/W
0x48	EQLBAND0A1L	EQ Lch Band0 A1 係数設定	R/W
0x49	EQLBAND0A1H		R/W
0x4A	EQLBAND1A0L	EQ Lch Band1 A0 係数設定	R/W
0x4B	EQLBAND1A0H		R/W
0x4C	EQLBAND1A1L	EQ Lch Band1 A1 係数設定	R/W
0x4D	EQLBAND1A1H		R/W
0x4E	EQLBAND2A0L	EQ Lch Band2 A0 係数設定	R/W
0x4F	EQLBAND2A0H		R/W
0x50	EQLBAND2A1L	EQ Lch Band2 A1 係数設定	R/W
0x51	EQLBAND2A1H		R/W
0x52	EQLBAND3A0L	EQ Lch Band3 A0 係数設定	R/W
0x53	EQLBAND3A0H		R/W
0x54	EQLBAND3A1L	EQ Lch Band3 A1 係数設定	R/W
0x55	EQLBAND3A1H		R/W
0x56	EQLBAND4A0L	EQ Lch Band4 A0 係数設定	R/W
0x57	EQLBAND4A0H		R/W
0x58	EQLBAND4A1L	EQ Lch Band4 A1 係数設定	R/W
0x59	EQLBAND4A1H		R/W
0x5A-0x7F	-	書き込み禁止	R

## U EqualizerRch 関連レジスタリスト ( BANKSEL[3:0]=0x3 )

記載されていないアドレスへの書き込みは禁止です。各レジスタの未使用ビットには初期値を書き込んでください。  
0x00 ~ 0x3F のアドレス空間は、全バンク共通となっていますので、「全バンク共通レジスタリスト」を参照してください。

アドレス	レジスタ名	機能	R/W
0x00~0x3F	-	全バンク共通レジスタ	-
0x40	EQRCON	EQ Rch 許可制御	R/W
0x41	EQRGAIN0	EQ Rch Band0 ゲイン設定	R/W
0x42	EQRGAIN1	EQ Rch Band1 ゲイン設定	R/W
0x43	EQRGAIN2	EQ Rch Band2 ゲイン設定	R/W
0x44	EQRGAIN3	EQ Rch Band3 ゲイン設定	R/W
0x45	EQRGAIN4	EQ Rch Band4 ゲイン設定	R/W
0x46	EQRBAND0A0L	EQ Rch Band0 A0 係数設定	R/W
0x47	EQRBAND0A0H		R/W
0x48	EQRBAND0A1L	EQ Rch Band0 A1 係数設定	R/W
0x49	EQRBAND0A1H		R/W
0x4A	EQRBAND1A0L	EQ Rch Band1 A0 係数設定	R/W
0x4B	EQRBAND1A0H		R/W
0x4C	EQRBAND1A1L	EQ Rch Band1 A1 係数設定	R/W
0x4D	EQRBAND1A1H		R/W
0x4E	EQRBAND2A0L	EQ Rch Band2 A0 係数設定	R/W
0x4F	EQRBAND2A0H		R/W
0x50	EQRBAND2A1L	EQ Rch Band2 A1 係数設定	R/W
0x51	EQRBAND2A1H		R/W
0x52	EQRBAND3A0L	EQ Rch Band3 A0 係数設定	R/W
0x53	EQRBAND3A0H		R/W
0x54	EQRBAND3A1L	EQ Rch Band3 A1 係数設定	R/W
0x55	EQRBAND3A1H		R/W
0x56	EQRBAND4A0L	EQ Rch Band4 A0 係数設定	R/W
0x57	EQRBAND4A0H		R/W
0x58	EQRBAND4A1L	EQ Rch Band4 A1 係数設定	R/W
0x59	EQRBAND4A1H		R/W
0x5A-0x7F	-	書き込み禁止	R

## レジスタ説明

u 全バンク共通レジスタリスト ( BANKSEL[3:0]= 0x0 , 0x1 , 0x2 , 0x3 )

Y アクセスバンク指定レジスタ(BANKSEL)

バンク : 0x0 , 0x1 , 0x2 , 0x3  
 アドレス : 0x00  
 初期値 : 0x00  
 機能 : アクセスバンクの選択

ビット	ビット名	機能	R/W	初期値
7-4	未使用		R	0000
3-0	BANK[3:0]	アクセスバンク選択 0x0: SoundGenerator0 関連レジスタ 0x1: SoundGenerator1 関連レジスタ 0x2: EqualizerLch 関連レジスタ 0x3: EqualizerRch 関連レジスタ 0x4-0xF : 設定禁止	R/W	0000

すべての BANK レジスタの共通レジスタとなります。  
 アドレス 0x00 ~ 0x3F 以外のレジスタは、バンク毎に独立したレジスタとなります。

## Y クロック選択レジスタ(CLKSEL)

バンク : 0x0, 0x1, 0x2, 0x3  
アドレス : 0x01  
初期値 : 0x00  
機能 : 基準クロックの選択

ビット	ビット名	機能	R/W	初期値
7-3	未使用		R	00000
2	XTSEL	基準クロックの選択 0: RC4Mz を使用する 1: 水晶振動子またはセラミック発振子または外部 クロック入力を使用する	R/W	0
1-0	未使用		R	00

## 【注意】

・水晶振動子またはセラミック発振子または外部クロック入力を使用する場合は、電源投入後にリセット解除して、内部レギュレータパワーアップを確認 (STAT0レジスタのPUPビットが“1”)した後に設定してください。再生動作中の設定はしないでください。

・XTSEL ビットを“1”に設定すると、“0”に設定しても“1”を継続します。

Y I<sup>2</sup>C アクセスモード選択レジスタ(I<sup>2</sup>CSEL)

バンク : 0x0, 0x1, 0x2, 0x3  
アドレス : 0x02  
初期値 : 0x00  
機能 : I<sup>2</sup>C アクセスモードの選択

ビット	ビット名	機能	R/W	初期値
7-1	未使用		R	0000000
0	RANDOM	I <sup>2</sup> C アクセスモードの選択 0: インクリメントモードを使用 1: ランダムアクセスモードを使用	R/W	0

## 【注意】

- ・MCU インタフェースに I<sup>2</sup>C で通信した場合に、本レジスタの設定が有効になります。クロック同期シリアルで通信した場合は、インクリメントモードのみ対応し、本レジスタの設定は無効となります。
- ・RANDOM ビットを切り替えた後は、必ずスタートコンディションから再開してください。



## Y IF 選択レジスタ(IFSEL)

バンク : 0x0, 0x1, 0x2, 0x3  
アドレス : 0x03  
初期値 : 0x00  
機能 : IF モードの選択

ビット	ビット名	機能	R/W	初期値
7-5	未使用		R	000
4	TWSEL	入力モードの選択 0: 1 回入力モードを使用 1: 2 回入力モードを使用	R/W	0
3-1	未使用		R	000
0	MCLKSEL	STATUS1_MCLKO 端子の選択 0: STATUS1 を選択 1: MCLKO を選択	R/W	0

## 【注意】

- ・TWSEL ビットを“1”に設定すると、2 回入力モードに移行します。アドレス・データの入力方法については、機能説明の「クロック同期シリアルインタフェース」、「I<sup>2</sup>C インタフェース」を参照してください。
- ・TWSEL ビットを切り替えた後は、必ず CSB 端子を“H”レベルに戻して、またはスタートコンディションから再開してください。

## Y LR 選択レジスタ(LRSEL)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x04  
 初期値 : 0x00  
 機能 : Lch/Rch の設定値の選択

ビット	ビット名	機能	R/W	初期値
7-2	未使用		R	000000
1	LR_EQ	イコライザの Rch の設定値の選択 0: Rch の設定値を適用(Lch/Rch 単独制御) 1: Lch の設定値を適用(Lch/Rch 連動制御)	R/W	0
0	LR_VOL	マスタボリュームの Rch の設定値の選択 0: VOL_MASTR_L/H を適用(Lch/Rch 単独制御) 1: VOL_MASTL_L/H を適用(Lch/Rch 連動制御)	R/W	0

## 【注意】

・LR\_EQ ビットを“1”に設定すると、イコライザの Rch は、Equalizer Lch 関連レジスタによって制御されます。Equalizer Rch 関連レジスタの書き込み/読み出しは可能です。

・LR\_VOL ビットを“1”に設定すると、マスタボリュームの Rch は、VOL\_MASTL\_L/H レジスタによって制御されます。VOL\_MASTR\_L/H レジスタの書き込み/読み出しは可能です。

## Y エラーレジスタ(ERROR)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x07  
 初期値 : 0x00  
 機能 : エラー内容の通知

ビット	ビットビット名	機能	R/W	初期値
7	未使用		R	0
6	ROMERR	内部リセット処理中のフラッシュ・メモリ読み出しデータの異常を通知 0: エラー無し 1: エラー有り	R	0
5	未使用		R	0
4	TWERR	2回入力モード時の異常を通知 0: エラー無し 1: エラー有り	R/W	0
3	未使用		R	0
2	CLKERR	水晶振動子またはセラミック発振子または外部クロック入力の停止エラーの通知 0: エラー無し 1: エラー有り	R/W	0
1-0	未使用		R	00

## 【注意】

・ROMERR ビットは、本レジスタに書き込みしてもクリアされません。RESETB 端子によるリセットで本 LSI を初期化してください。

・TWERR ビットは、IFSEL レジスタの TWSEL ビットを“1”に設定した状態で、1 回目のデータ入力と 2 回目のデータ入力に不一致が発生した場合にエラーを通知します。また、本レジスタに書き込むことでクリアされます。

・CLKERR ビットは、CLKSEL レジスタの XTSEL ビットに“1”を設定した状態で、発振停止を検知した場合にエラーを通知します。再生状態は継続していますので、再生停止等を必要に応じて処理してください。また、本レジスタに書き込むことでクリアされます。ただし、発振停止が継続している状態では、再度 CLKERR ビットが“1”に設定されます。

## Y ステータスレジスタ 0 (STAT0)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x08  
 初期値 : 0x01  
 機能 : 内部状態の通知

ビット	ビット名	機能	R/W	初期値
7-5	未使用		R	000
4	PUP_OUT	LINE アンプまたは SAI 端子からの出力状態を通知 OUTCON レジスタの OUT_EN ビットを変化させたときの状態を通知*1	R	0
3	未使用		R	0
2	PUP_XT	水晶振動子またはセラミック発振子または外部クロック入力の状態を通知 0: 発振安定待ちもしくは停止中 1: 発振中	R	0
1	REG_SET	全バンク共通レジスタ, SoundGenerator0 関連, SoundGenerator1 関連, EqualizerLch 関連レジスタ, EqualizerRch 関連レジスタ 0: 未設定状態 1: 設定済	R	0
0	PUP	内部レギュレータ起動状態を通知 0: 内部レギュレータパワーダウン 1: 内部レギュレータパワーアップ	R	1

\*1 タイミングチャートの「音声出力パワーアップ時、音声出力パワーダウン時」を参照してください。

## 【注意】

- ・電源投入してリセット解除した時は、必ず PUP ビットが“1”になったことを確認してから次の制御に移行してください。PUP ビットが“0”の状態での他のレジスタへの書き込み、読み出しは保証しません。
- ・REG\_SET ビットは、下記レジスタ全てに書き込むことで、“1”になります。REG\_SET ビットを“1”にするためには、下記レジスタを初期値のまま使用する場合も、必ず初期値を書き込んでください。

BANKSEL レジスタ[3:0]	レジスタ
0x0,0x1,0x2,0x3 (全バンク共通レジスタ)	0x2D : OUTSTAT1_5
0x0(SoundGenerator0 関連レジスタ)	0x67 : VOL_SD_CH3_H
0x1(SoundGenerator1 関連レジスタ)	0x48 : LOOPCON_SD
0x2(EqualizerLch 関連レジスタ)	0x59 : EQLBAND4A1H
0x3(EqualizerRch 関連レジスタ)	0x59 : EQRBAND4A1H

・REG\_SET ビットが“0”の時は、レジスタの設定をしていないか、何らかの要因でレジスタが初期化された可能性があることを示します。その場合は全てのレジスタに再設定を行ってから、再生モード設定レジスタや再生制御レジスタにアクセスしてください。

- ・PUP\_OUT ビットが“1”であることを確認してから再生してください。

## Y ステータスレジスタ 1 (STAT1)

バンク : 0x0, 0x1, 0x2, 0x3  
アドレス : 0x09  
初期値 : 0x00  
機能 : CH0~3 の再生状態の通知

ビット	ビット名	機能	R/W	初期値
7-4	未使用		R	0000
3	STATP_SD_CH3	CH3 再生状態の通知 0: 再生停止 1: 再生中	R	0
2	STATP_SD_CH2	CH2 再生状態の通知 0: 再生停止 1: 再生中	R	0
1	STATP_SD_CH1	CH1 再生状態の通知 0: 再生停止 1: 再生中	R	0
0	STATP_SD_CH0	CH0 再生状態の通知 0: 再生停止 1: 再生中	R	0

## Y ステータスレジスタ 2 (STAT2)

バンク : 0x0, 0x1, 0x2, 0x3,  
アドレス : 0x0A  
初期値 : 0x00  
機能 : CH0~3 のボリュームフェード状態の通知

ビット	ビット名	機能	R/W	初期値
7-4	未使用		R	0000
3	STATF_SD_CH3	CH3 フェード状態の通知 0: フェード停止 1: フェード中	R	0
2	STATF_SD_CH2	CH2 フェード状態の通知 0: フェード停止 1: フェード中	R	0
1	STATF_SD_CH1	CH1 フェード状態の通知 0: フェード停止 1: フェード中	R	0
0	STATF_SD_CH0	CH0 フェード状態の通知 0: フェード停止 1: フェード中	R	0

## Y ステータスレジスタ 3 (STAT3)

バンク : 0x0, 0x1, 0x2, 0x3  
アドレス : 0x0B  
初期値 : 0x00  
機能 : Lch/Rch のマスタボリュームのフェード状態の通知

ビット	ビット名	機能	R/W	初期値
7-2	未使用		R	000000
1	STATF_MAST_R	マスタボリューム Rch のフェード状態の通知 0: フェード停止 1: フェード中	R	0
0	STATF_MAST_L	マスタボリューム Lch のフェード状態の通知 0: フェード停止 1: フェード中	R	0

## Y フラッシュ・メモリ アクセス制御レジスタ(FLS\_ACCS)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x10  
 初期値 : 0xXX  
 機能 : フラッシュ・メモリ プロテクトコードを設定

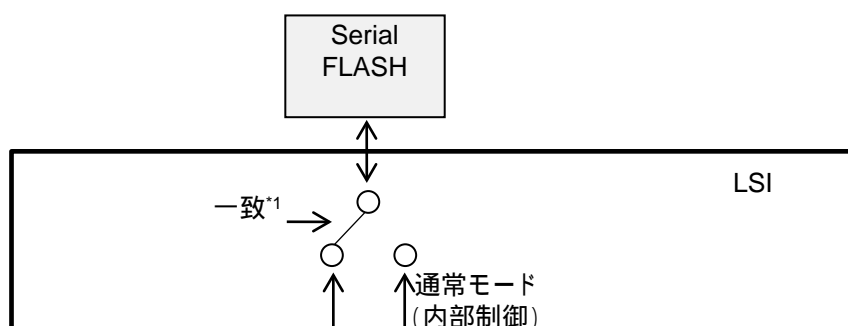
ビット	ビット名	機能	R/W	初期値
7-0	FLS_PRT[7:0]	フラッシュ・メモリ プロテクトコード	W	0xXX

## 【注意】

- ・専用ツール(SpeechLSIUtility)を使って、予めフラッシュ・メモリ プロテクト解除情報を設定する必要があります。
- ・専用ツール(SpeechLSIUtility)で設定したフラッシュ・メモリ プロテクト解除情報が 0x69 の場合は、FLS\_ACCS レジスタに設定したフラッシュ・メモリ プロテクトコードと一致してもフラッシュ・メモリ インタフェースが接続されません。
- ・専用ツール(SpeechLSIUtility)で設定したフラッシュ・メモリ プロテクト解除情報が 0x69 以外の場合は、FLS\_ACCS レジスタに設定したフラッシュ・メモリ プロテクトコードと一致した時にフラッシュ・メモリ インタフェースが接続されます。
- ・一度クロック同期シリアルインタフェースとフラッシュ・メモリ インタフェースが接続されると、通常モードには復帰できません。通常モードへ復帰する場合は、リセット入力端子(RESETB 端子)に“L”レベルを入力し、本 LSI を初期化してください。

- ・フラッシュ・メモリを書き換える時、リセット入力端子(RESETB 端子)に“L” “H”レベルを入力した後、FLS\_ACCS レジスタに設定してください。RESETB 端子に“L” “H”レベルを入力した後、FLS\_ACCS レジスタ以外に設定した後に FLS\_ACCS レジスタを設定することはできません。

- ・I<sup>2</sup>C インタフェース(スレーブ)を使ってフラッシュ・メモリの書き換えはできませんので、このレジスタへの書き込みはしないでください。





## Y SerialAudioInterface 送信フォーマット設定レジスタ (SAITCON)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x16  
 初期値 : 0x00  
 機能 : SerialAudioInterface の送信フォーマットを設定

ビット	ビット名	機能	R/W	初期値
7	BWO	送信データのビット幅の設定 0: 16 ビットストレート PCM 1: 8 ビットストレート PCM	R/W	0
6	未使用		R	0
5	FMTO	送信モードの設定 0: LRCLK 転送モード 1: フレーム同期転送モード	R/W	0
4	MSBO	送信データの MSB/LSB ファーストの設定 0: MSB ファースト 1: LSB ファースト	R/W	0
3	ISSCKO	BCLK 出力の 32gfs/64gfs の設定 0: 32gfs 1: 64gfs	R/W	0
2	AFOO	送信データの前詰め/後詰めの設定 0: 前詰め 1: 後詰め	R/W	0
1	DLYO	送信データの 1 クロック遅延有/無の設定 0: 1 クロック遅延有 1: 1 クロック遅延無	R/W	0
0	WSLO	LRCLK 極性の指定 0: LRCLK が“L”レベルの時 L チャンネル, “H”の時 R チャンネルを送信 1: LRCLK が“H”レベルの時 L チャンネル, “L”の時 R チャンネルを送信	R/W	0

## 【注意】

- ・再生停止中 (STAT1 レジスタのチャンネルビットがすべて“0”もしくは PLAYCON\_MAST レジスタの PLAY\_SD\_MAST ビットが“0”の時かつ OUTCON レジスタの OUT\_EN ビットが“0”の時) に設定を変更してください。
- ・フレーム同期転送モード (FMTO ビットに“1”を設定) の時, 必ず WSLO ビットを“1”に設定してください。
- ・フレーム同期転送モード (FMTO ビットに“1”を設定) の時, 必ず AFOO ビットを“0”に設定してください。

## Y SerialAudioInterface MCLK 制御レジスタ (MCLKCON)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x19  
 初期値 : 0x00  
 機能 : SerialAudioInterface の MCLK 出力設定

ビット	ビット名	機能	R/W	初期値
7-3	未使用		R	00000
2-1	MCLK_FS	MCLKO 出力の設定 00: 128gfs 01: 256gfs 1*: 512gfs	R/W	00
0	MCLK_EN	MCLKO 端子マスタクロック出力の設定 0: 出力禁止 1: 出力許可	R/W	0

\*: 0/1 どちらでも可

MCLKO 端子マスタクロックは、IFSEL レジスタの MCLKSEL ビットが“1”かつ MCLKCON レジスタの MCLK\_EN ビットが“1”の状態、OUTMODE レジスタの OUT\_MD[1:0] ビットで SAI 端子から再生を選択し、OUT\_EN ビットを“1”に設定します。その後、STAT0 レジスタの PUP\_OUT ビットが“1”になると出力を開始します。

## 【注意】

・再生停止中 (STAT1 レジスタのチャンネルビットがすべて“0”もしくは PLAYCON\_MAST レジスタの PLAY\_SD\_MAST ビットが“0”の時かつ OUTCON レジスタの OUT\_EN ビットが“0”の時) に設定を変更してください。

## Y 音声出力データ送信チャンネル設定レジスタ(OUTDATA)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x1B  
 初期値 : 0x44  
 機能 : 送信チャンネルを設定

ビット	ビット名	機能	R/W	初期値
7	未使用		R	0
6-4	OUT_RCH[2:0]	Rch に送信するデータを設定 000: CH0 001: CH1 010: CH2 011: CH3 1xx: CH0-3 をミキシング後	R/W	100
3	未使用		R	0
2-0	OUT_LCH[2:0]	Lch および LINE アンプに送信するデータを設定 000: CH0 001: CH1 010: CH2 011: CH3 1xx: CH0-3 をミキシング後	R/W	100

## 【注意】

・再生停止中 (STAT1 レジスタのチャンネルビットがすべて“0”もしくは PLAYCON\_MAST レジスタの PLAY\_SD\_MAST ビットが“0”の時かつ OUTCON レジスタの OUT\_EN ビットが“0”の時) に設定を変更してください。

## Y 音声出力モード設定レジスタ(OUTMODE)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x1C  
 初期値 : 0x01  
 機能 : 音声出力モードの設定

ビット	ビット名	機能	R/W	初期値
7	HPF	ハイパスフィルタを制御 0: ハイパスフィルタを使用しない 1: カットオフ周波数 200Hz のハイパスフィルタを使用する	R/W	0
6	GFS	サンプリング周波数の群 (gfs) を選択 0: 12, 24, 48kHz の群 (SAI の出力: gfs=48kHz) 1: 8, 16, 32kHz の群 (SAI の出力: gfs=32kHz)	R/W	0
5-3	未使用		R	000
2	POP	LINE アンプパワーアップ/ダウン処理時のポップノイズ対策制御 0: ポップノイズ対策無 1: ポップノイズ対策有	R/W	0
1-0	OUT_MD[1:0]	再生モードの設定 <sup>*1</sup>	R/W	01

\*1 OUT\_MD[1:0]ビットに“00”を書き込んだ場合、OUT\_MD[1:0]ビットには“01”が設定されます。  
 OUT\_MD[1:0]ビットを使った再生の組合せは以下の通りです。

再生モード	OUT_MD[1]	OUT_MD[0]
LINE アンプから再生	0	1
SAI 端子から再生	1	0
LINE アンプと SAI 端子から再生	1	1

## 【注意】

- ・OUTMODE レジスタは、OUTCON レジスタの OUT\_EN ビットが“0”の時のみ書き換えが可能です。
- ・SerialAudioInterface のみ使用する場合、POP ビットを“0”に設定することを推奨します。

## Y 音声出力制御レジスタ(OUTCON)

バンク : 0x0, 0x1, 0x2, 0x3  
アドレス : 0x1D  
初期値 : 0x00  
機能 : 音声出力モードの制御

ビット	ビット名	機能	R/W	初期値
7-5	未使用		R	000
4	OUT_EN	OUT_MD[1:0]で設定した再生モードの出力制御 0: 出力停止 1: 出力開始	R/W	0
3-0	未使用		R	0000

## 【注意】

・OUT\_EN ビットを“0”から“1”に変更した時は、必ずステータスレジスタの PUP\_OUT ビットが“1”になるのを待ってから再生してください。“1”から“0”に変更した時は、必ずステータスレジスタの PUP\_OUT ビットが“0”になるのを待ってから次の処理をしてください。

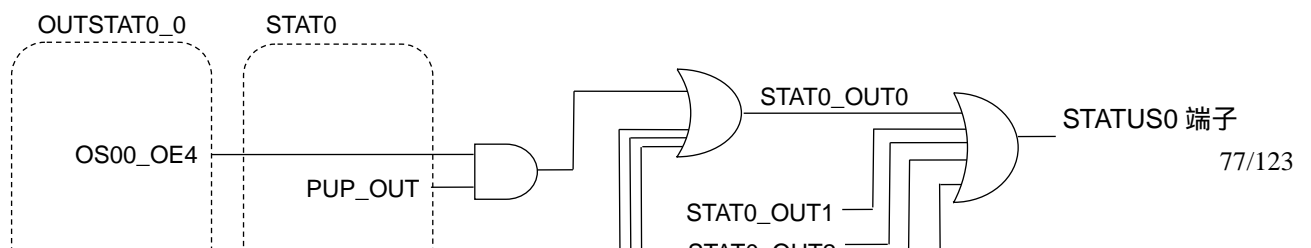
## Y STATUS0 端子出力設定レジスタ 0 (OUTSTAT0\_0)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x20  
 初期値 : 0x01  
 機能 : STAT0 レジスタ各ビットの STATUS0 端子への出力を制御

ビット	ビット名	機能	R/W	初期値
7-5	未使用		R	000
4	OS00_OE4	PUP_OUT ビットの STATUS0 端子への出力 0: 出力しない 1: 出力する	R/W	0
3	未使用		R	0
2	OS00_OE2	PUP_XT ビットの STATUS0 端子への出力 0: 出力しない 1: 出力する	R/W	0
1	OS00_OE1	REG_SET ビットの STATUS0 端子への出力 0: 出力しない 1: 出力する	R/W	0
0	OS00_OE0	PUP ビットの STATUS0 端子への出力 0: 出力しない 1: 出力する	R/W	1

## 【注意】

・複数ビットに"1"を設定した場合は、OR 処理した信号が STATUS0 端子から出力されます。



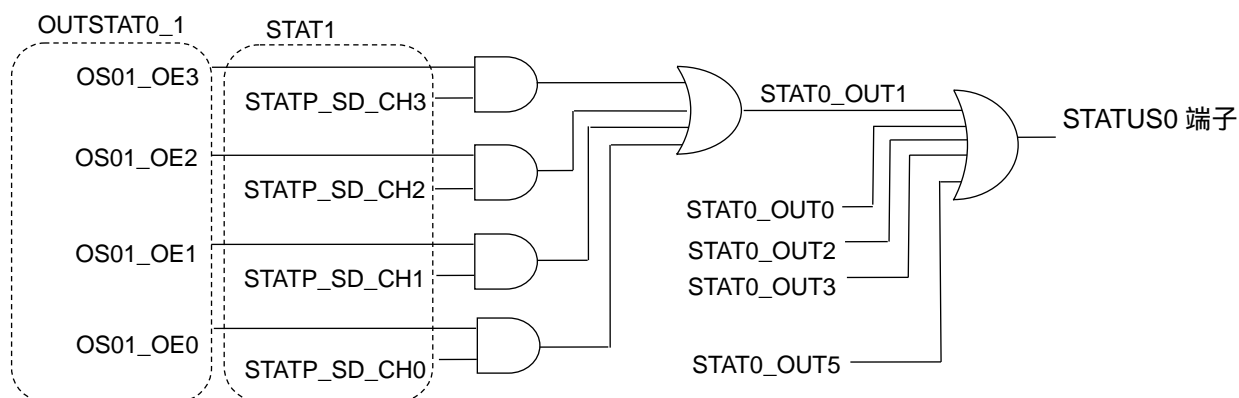
## Y STATUS0 端子出力設定レジスタ 1 (OUTSTAT0\_1)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x21  
 初期値 : 0x00  
 機能 : STAT1 レジスタ各ビットの STATUS0 端子への出力を制御

ビット	ビット名	機能	R/W	初期値
7-4	未使用		R	0000
3-0	OS01_OE3-0	CH3-0 再生状態ビットの STATUS0 端子への出力 0: 出力しない 1: 出力する	R/W	0000

## 【注意】

・複数ビットに"1"を設定した場合は、OR 処理した信号が STATUS0 端子から出力されます。



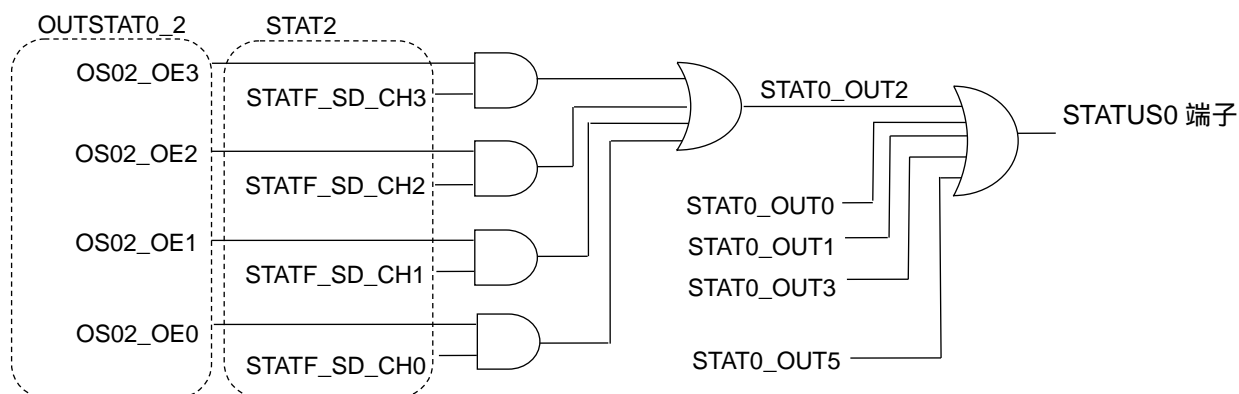
## Y STATUS0 端子出力設定レジスタ 2 (OUTSTAT0\_2)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x22  
 初期値 : 0x00  
 機能 : STAT2 レジスタ各ビットの STATUS0 端子への出力を制御

ビット	ビット名	機能	R/W	初期値
7-4	未使用		R	0000
3-0	OS02_OE3-0	CH3-0 フェード状態ビットの STATUS0 端子への出力 0: 出力しない 1: 出力する	R/W	0000

## 【注意】

・複数ビットに"1"を設定した場合は、OR 処理した信号が STATUS0 端子から出力されます。





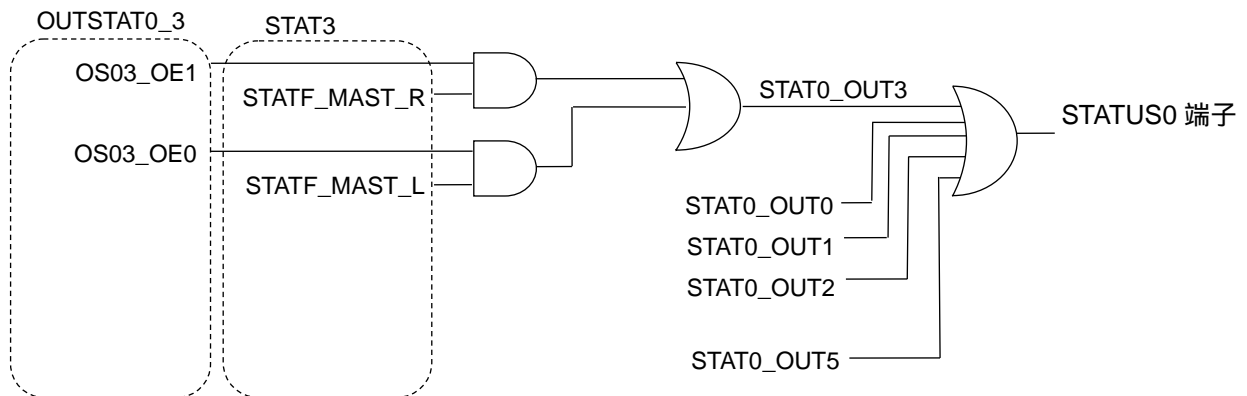
## Y STATUS0 端子出力設定レジスタ 3 (OUTSTAT0\_3)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x23  
 初期値 : 0x00  
 機能 : STAT3 レジスタ各ビットの STATUS0 端子への出力を制御

ビット	ビット名	機能	R/W	初期値
7-2	未使用		R	000000
1-0	OS03_OE1-0	マスタボリューム Lch/Rch のフェード状態ビットの STATUS0 端子への出力 0: 出力しない 1: 出力する	R/W	00

## 【注意】

・複数ビットに"1"を設定した場合は、OR 処理した信号が STATUS0 端子から出力されます。



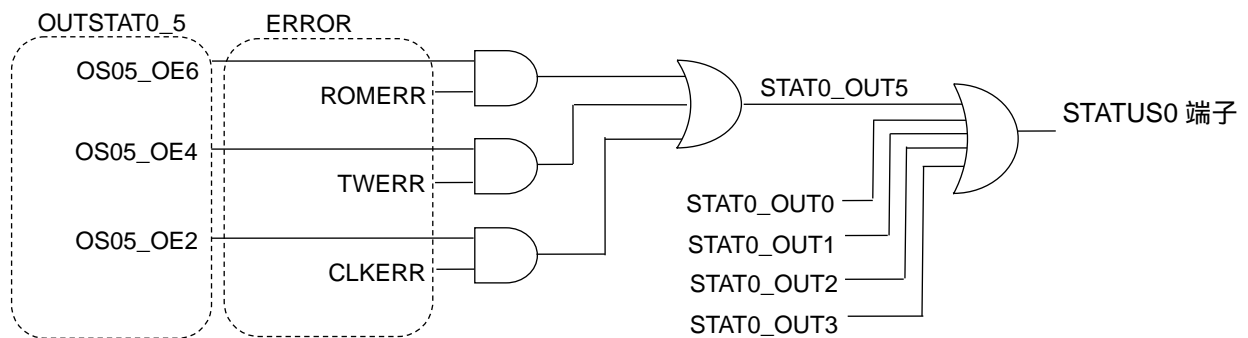
## Y STATUS0 端子出力設定レジスタ 5 (OUTSTAT0\_5)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x25  
 初期値 : 0x00  
 機能 : ERROR レジスタ各ビットの STATUS0 端子への出力を制御

ビット	ビット名	機能	R/W	初期値
7	未使用		R	0
6	OS05_OE6	ROMERR ビットの STATUS0 端子への出力 0: 出力しない 1: 出力する	R/W	0
5	未使用		R	0
4	OS05_OE4	TWERR ビットの STATUS0 端子への出力 0: 出力しない 1: 出力する	R/W	0
3	未使用		R	0
2	OS05_OE2	CLKERR ビットの STATUS0 端子への出力 0: 出力しない 1: 出力する	R/W	0
1-0	未使用		R	00

## 【注意】

・複数ビットに"1"を設定した場合は、OR 処理した信号が STATUS0 端子から出力されます。



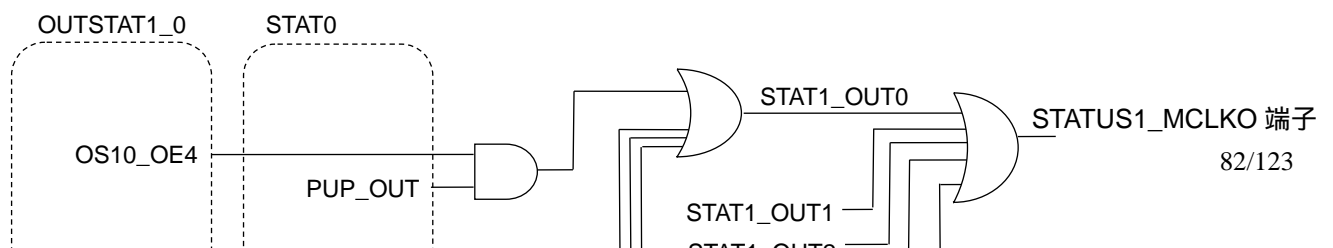
## Y STATUS1\_MCLKO 端子出力設定レジスタ 0 (OUTSTAT1\_0)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x28  
 初期値 : 0x00  
 機能 : STAT0 レジスタ各ビットの STATUS1\_MCLKO 端子への出力を制御

ビット	ビット名	機能	R/W	初期値
7-5	未使用		R	000
4	OS10_OE4	PUP_OUT ビットの STATUS1_MCLKO 端子への出力 0: 出力しない 1: 出力する	R/W	0
3	未使用		R	0
2	OS10_OE2	PUP_XT ビットの STATUS1_MCLKO 端子への出力 0: 出力しない 1: 出力する	R/W	0
1	OS10_OE1	REG_SET ビットの STATUS1_MCLKO 端子への出力 0: 出力しない 1: 出力する	R/W	0
0	OS10_OE0	PUP ビットの STATUS1_MCLKO 端子への出力 0: 出力しない 1: 出力する	R/W	0

## 【注意】

・複数ビットに"1"を設定した場合は、OR 処理した信号が STATUS1\_MCLKO 端子から出力されます。



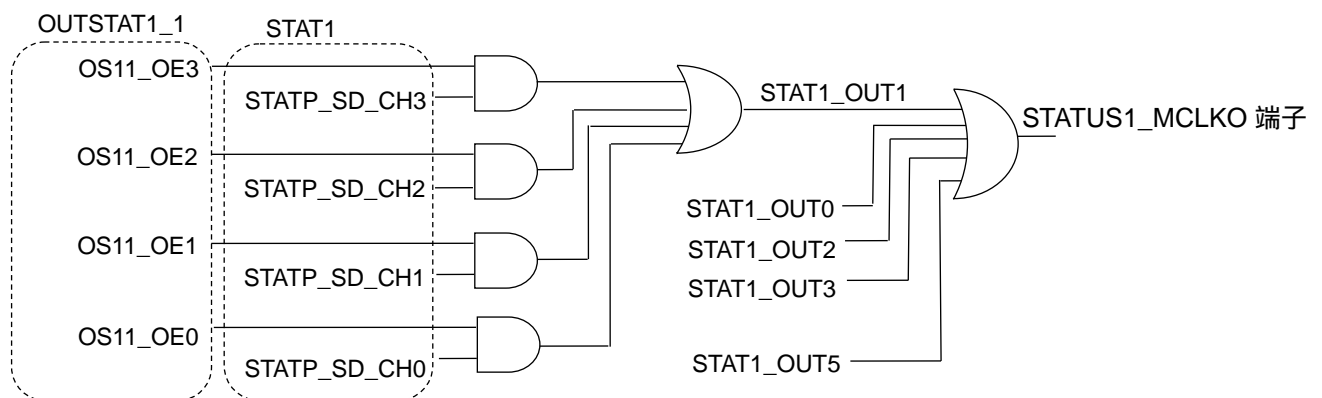
## Y STATUS1\_MCLKO 端子出力設定レジスタ 1 (OUTSTAT1\_1)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x29  
 初期値 : 0x00  
 機能 : STAT1 レジスタ各ビットの STATUS1\_MCLKO 端子への出力を制御

ビット	ビット名	機能	R/W	初期値
7-4	未使用		R	0000
3-0	OS11_OE3-0	CH3-0再生状態ビットの STATUS1_MCLKO 端子への出力 0: 出力しない 1: 出力する	R/W	0000

## 【注意】

・複数ビットに"1"を設定した場合は、OR 処理した信号が STATUS1\_MCLKO 端子から出力されます。



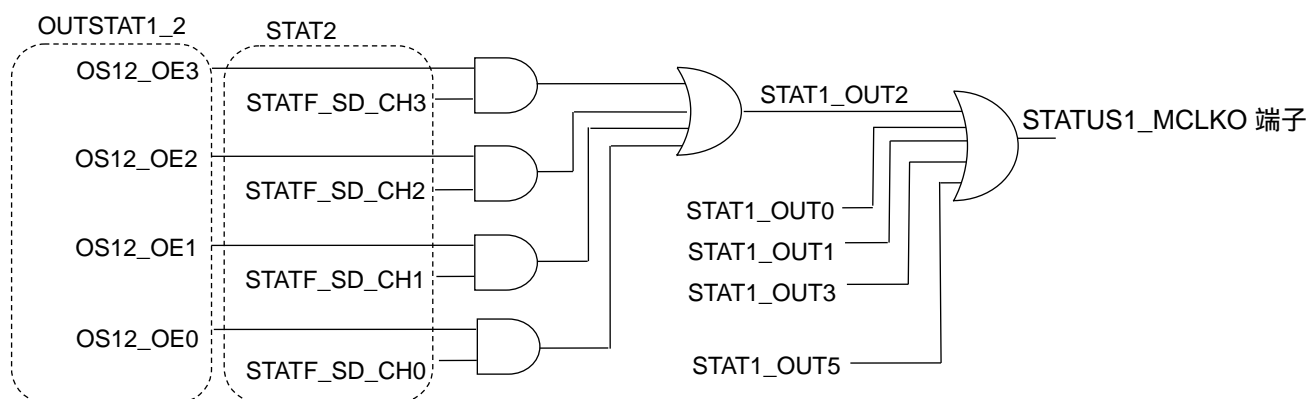
## Y STATUS1\_MCLKO 端子出力設定レジスタ 2 (OUTSTAT1\_2)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x2A  
 初期値 : 0x00  
 機能 : STAT2 レジスタ各ビットの STATUS1\_MCLKO 端子への出力を制御

ビット	ビット名	機能	R/W	初期値
7-4	未使用		R	0000
3-0	OS12_OE3-0	CH3-0 フェード状態ビットの STATUS1_MCLKO 端子への出力 0: 出力しない 1: 出力する	R/W	0000

## 【注意】

・複数ビットに"1"を設定した場合は、OR 処理した信号が STATUS1\_MCLKO 端子から出力されます。



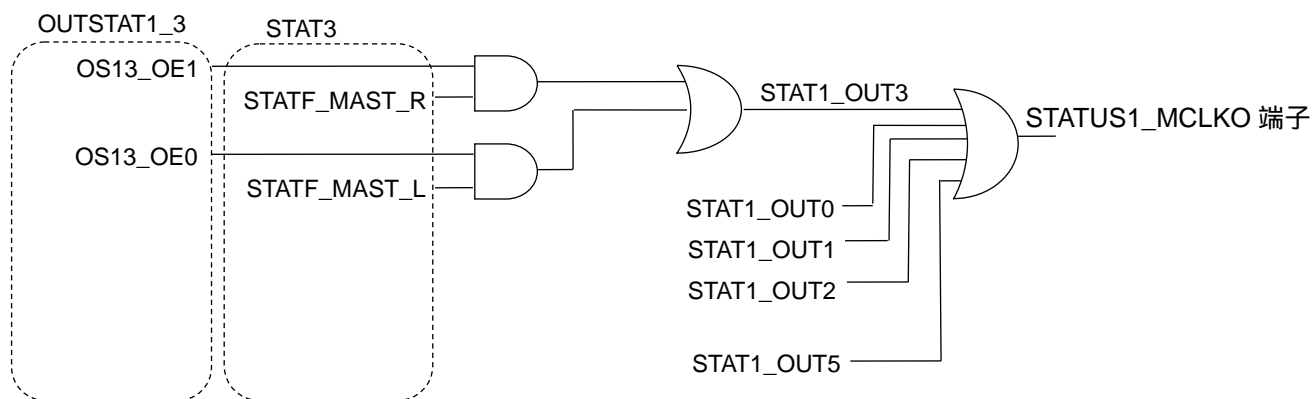
## Y STATUS1\_MCLKO 端子出力設定レジスタ 3(OUTSTAT1\_3)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x2B  
 初期値 : 0x00  
 機能 : STAT3 レジスタ各ビットの STATUS1\_MCLKO 端子への出力を制御

ビット	ビット名	機能	R/W	初期値
7-2	未使用		R	000000
1-0	OS13_OE1-0	Lch/Rch のマスタボリュームのフェード状態ビットの STATUS1_MCLKO 端子への出力 0: 出力しない 1: 出力する	R/W	00

## 【注意】

・複数ビットに"1"を設定した場合は, OR 処理した信号が STATUS1\_MCLKO 端子から出力されます。



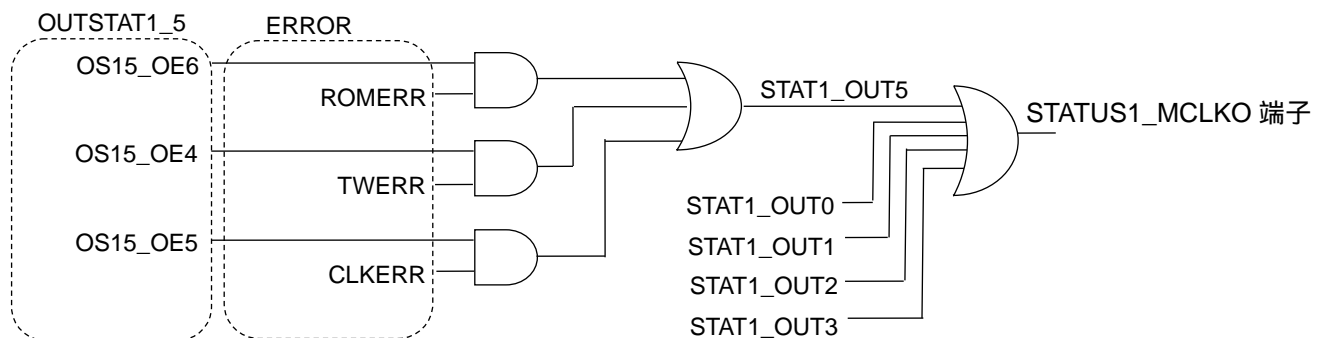
## Y STATUS1\_MCLKO 端子出力設定レジスタ 5 (OUTSTAT1\_5)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x2D  
 初期値 : 0x54  
 機能 : ERROR レジスタ各ビットの STATUS1\_MCLKO 端子への出力を制御

ビット	ビット名	機能	R/W	初期値
7	未使用		R	0
6	OS15_OE6	ROMERR ビットの STATUS1_MCLKO 端子への出力 0: 出力しない 1: 出力する	R/W	1
5	未使用		R	0
4	OS15_OE4	TWERR ビットの STATUS1_MCLKO 端子への出力 0: 出力しない 1: 出力する	R/W	1
3	未使用		R	0
2	OS15_OE2	CLKERR ビットの STATUS1_MCLKO 端子への出力 0: 出力しない 1: 出力する	R/W	1
1-0	未使用		R	00

## 【注意】

・複数ビットに"1"を設定した場合は、OR 処理した信号が STATUS1\_MCLKO 端子から出力されます。



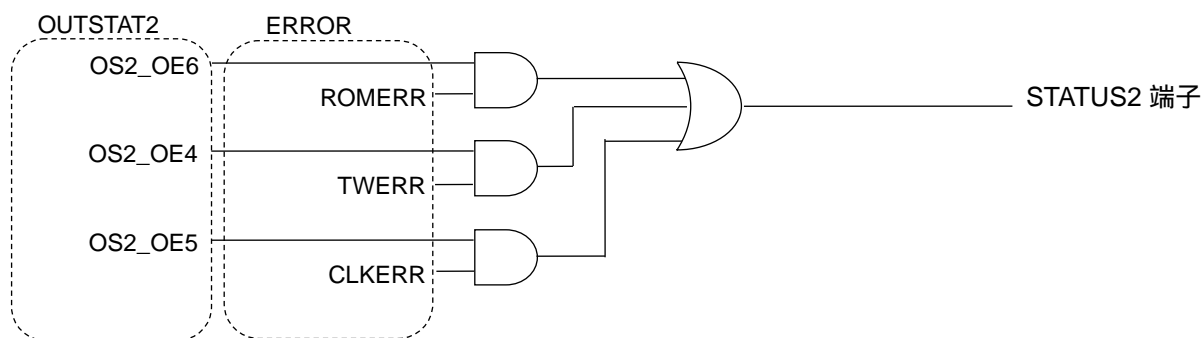
## Y STATUS2 端子出力設定レジスタ (OUTSTAT2)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x2F  
 初期値 : 0x54  
 機能 : ERROR レジスタ各ビットの STATUS2 端子への出力を制御

ビット	ビット名	機能	R/W	初期値
7	未使用		R	0
6	OS2_OE6	ROMERR ビットの STATUS2 端子への出力 0: 出力しない 1: 出力する	R/W	1
5	未使用		R	0
4	OS2_OE4	TWERR ビットの STATUS2 端子への出力 0: 出力しない 1: 出力する	R/W	1
3	未使用		R	0
2	OS2_OE2	CLKERR ビットの STATUS2 端子への出力 0: 出力しない 1: 出力する	R/W	1
1-0	未使用		R	00

## 【注意】

・複数ビットに"1"を設定した場合は、OR 処理した信号が STATUS2 端子から出力されます。





## Y ピッチフェードステップ設定レジスタ(PITFADE\_STEP)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x32  
 初期値 : 0x00  
 機能 : ピッチフェードステップの設定

ビット	ビット名	機能	R/W	初期値
7-0	PITFADE_STEP[7:0]	ピッチフェード機能のピッチ変化ステップ時間を設定 (0.00390625 倍変化の時間)	R/W	0x00

設定したピッチになるまで、下記設定時間ごとにピッチ設定レジスタの1ステップ(0.00390625 倍)ずつ変化します。以下の通り、フェードステップ設定値とピッチ変化量、サンプリング周波数(fs)によって、ピッチ遷移時間が変わります。

PITFADE_STEP [7:0]	fs 換算	fs: 48kHz [ms] Step: 0.0625ms	fs: 24kHz [ms] Step: 0.125ms	fs: 12kHz [ms] Step: 0.25ms	fs: 32kHz [ms] Step: 0.09375ms	fs: 16kHz [ms] Step: 0.1875ms	fs: 8kHz [ms] Step: 0.375ms
0x00	3/fs	0.0625	0.125	0.25	0.09375	0.1875	0.375
0x01	6/fs	0.125	0.25	0.5	0.1875	0.375	0.75
0x02	9/fs	0.1875	0.375	0.75	0.28125	0.5625	1.125
0x03	12/fs	0.25	0.5	1	0.375	0.75	1.5
:	:	:	:	:	:	:	:
0x7E	381/fs	7.9375	15.875	31.75	11.90625	23.8125	47.625
0x7F	384/fs	8	16	32	12	24	48
0x80	387/fs	8.0625	16.375	32.25	12.09375	24.1875	48.375
:	:	:	:	:	:	:	:
0xFE	765/fs	15.9375	31.875	63.75	23.90625	47.8125	95.625
0xFF	768/fs	16	32	64	24	48	96

設定したピッチになるまでの遷移時間は、以下の計算式で表されます。

ピッチ遷移時間

$$= |[\text{現在のレジスタ値}] - [\text{新しいレジスタ値}]| \times [\text{PITFADE\_STEP 設定値} + 1] \times 0.0625\text{ms (fs:48kHz)}$$

例) 現在のレジスタ値(ピッチ設定レジスタ値) : 0x100 = 256d  
 新しいレジスタ値(ピッチ設定レジスタ値) : 0x200 = 512d  
 PITFADE\_STEP[7:0]設定値 : 0x07

$$\text{ピッチ遷移時間} = |[256] - [512]| \times (7 + 1) \times 0.0625\text{ms} = 128[\text{ms}]$$

【注意】

・PITFADE\_CON レジスタに“1”を設定すると、変更したピッチまで本レジスタの設定値でフェードします。

## Y ピッチフェード設定レジスタ(PITFADE\_CON)

バンク : 0x0, 0x1, 0x2, 0x3  
アドレス : 0x33  
初期値 : 0x00  
機能 : ピッチフェードの制御

ビット	ビット名	機能	R/W	初期値
7-1	未使用		R	0000000
0	PITFADE_EN	フェードを制御 0: フェードを使用しない 1: フェードを使用する	R/W	0

## 【注意】

・“1”を設定すると、PITFADE\_STEP レジスタの設定値で、変更したピッチまでフェードをします。

## Y ボリュームフェードステップ設定レジスタ(VOLFADE\_STEP)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x36  
 初期値 : 0x00  
 機能 : ボリュームフェードステップの設定

ビット	ビット名	機能	R/W	初期値
7-0	VOLFADE_STEP[7:0]	ボリュームフェード機能のボリューム変化ステップ時間を設定(0.1dB 変化の時間)	R/W	0x00

変更したボリュームになるまで、下記設定時間ごとにボリューム設定レジスタの1ステップ(0.1dB)ずつ変化します。以下の通り、フェードステップ設定値とボリューム変化量、サンプリング周波数(fs)によって、ボリューム遷移時間が変わります。

VOLFADE_STEP [7:0]	fs 換算	fs:48kHz [ms] Step: 0.0625ms	fs:24kHz [ms] Step: 0.125ms	fs:12kHz [ms] Step: 0.25ms	fs:32kHz [ms] Step: 0.09375ms	fs:16kHz [ms] Step: 0.1875ms	fs:8kHz [ms] Step: 0.375ms
0x00	3/fs	0.0625	0.125	0.25	0.09375	0.1875	0.375
0x01	6/fs	0.125	0.25	0.5	0.1875	0.375	0.75
0x02	9/fs	0.1875	0.375	0.75	0.28125	0.5625	1.125
0x03	12/fs	0.25	0.5	1	0.375	0.75	1.5
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
0x7E	381/fs	7.9375	15.875	31.75	11.90625	23.8125	47.625
0x7F	384/fs	8	16	32	12	24	48
0x80	387/fs	8.0625	16.375	32.25	12.09375	24.1875	48.375
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
0xFE	765/fs	15.9375	31.875	63.75	23.90625	47.8125	95.625
0xFF	768/fs	16	32	64	24	48	96

設定したボリュームになるまでの遷移時間は、以下の計算式で表されます。

## ボリューム遷移時間

$$= | \text{[現在の dB 値]} - \text{[新しい dB 値]} | \times \text{[VOLFADE\_STEP 設定値 + 1]} \times 0.0625\text{ms}(\text{fs:48kHz}) \times 10$$

もしくは

$$= | \text{[現在のレジスタ値]} - \text{[新しいレジスタ値]} | \times \text{[VOLFADE\_STEP 設定値 + 1]} \times 0.0625\text{ms}(\text{fs:48kHz})$$

例) 現在の dB 値 / レジスタ値(ボリューム設定レジスタ値) : - 51.2dB / 0x100 = 256d  
 新しい dB 値 / レジスタ値(ボリューム設定レジスタ値) : - 25.6dB / 0x200 = 512d  
 VOLFADE\_STEP[7:0]設定値 : 0x07

$$\text{ボリューム遷移時間} = | [- 51.2] - [- 25.6] | \times (7+1) \times 0.0625\text{ms} \times 10 = 128[\text{ms}]$$

$$\text{ボリューム遷移時間} = | [256] - [512] | \times (7+1) \times 0.0625\text{ms} = 128[\text{ms}]$$

## 【注意】

- ・VOLFADE\_CON レジスタに“1”を設定すると、変更したボリュームまで本レジスタの設定値でフェードをします。
- ・VOL\_MASTL\_L/H レジスタ, VOL\_MASTR\_L/H レジスタでボリューム変更時, OUTMODE レジスタの GFS ビットにより 48kHz または 32kHz でフェードをします。

## Y ボリュームフェード設定レジスタ(VOLFADE\_CON)

バンク : 0x0, 0x1, 0x2, 0x3  
アドレス : 0x37  
初期値 : 0x00  
機能 : ボリュームフェードの制御

ビット	ビット名	機能	R/W	初期値
7-1	未使用		R	0000000
0	VOLFADE_EN	フェードを制御 0: フェードを使用しない 1: フェードを使用する	R/W	0

## 【注意】

・“1”を設定すると、VOLFADE\_STEP レジスタの設定値で、変更したボリュームまでフェードをします。

## Y マスタボリューム Lch 設定レジスタ L (VOL\_MASTL\_L)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x38  
 初期値 : 0x00  
 機能 : ミキシング後の Lch マスタボリュームの設定

ビット	ビット名	機能	R/W	初期値
7-0	VOLML_L[7:0]	マスタボリューム Lch 設定[7:0]	R/W	0x00

## Y マスタボリューム Lch 設定レジスタ H (VOL\_MASTL\_H)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x39  
 初期値 : 0x03  
 機能 : ミキシング後の Lch マスタボリュームの設定

ビット	ビット名	機能	R/W	初期値
7-2	未使用		R	000000
1-0	VOLML_H[1:0]	マスタボリューム Lch 設定[9:8]	R/W	11

## 【注意】

- ・設定レジスタ L は設定レジスタ H に書き込むことで更新されます。設定レジスタ L を更新したい場合は、設定レジスタ H に書き込んでください。
- ・このレジスタは、ミキシング後のボリューム調整です。そのため、VOL\_SD\_CHn レジスタに関係なくボリューム調整ができます。

ボリュームは、MUTE, 76.7dB ~ +25.5dB まで 0.1dB ステップで設定できます。

ボリューム [dB]	VOLML_H[9:8] VOLML_L[7:0]
MUTE	0x000
76.7	0x001
76.6	0x002
76.5	0x003
⋮	⋮
0.2	0x2FE
0.1	0x2FF
0	0x300
+0.1	0x301
+0.2	0x302
⋮	⋮
+25.3	0x3FD
+25.4	0x3FE
+25.5	0x3FF

ボリュームを-12dB に設定したい場合、以下の計算式で算出し、レジスタに書き込んでください。

$$(-12(\text{ボリューム dB 値}) + 76.8) \times 10 = 648d = 0x288$$

VOL\_MASTL\_L[7:0]に 0x88, VOL\_MASTL\_H [9:8]に 0x02 を書き込む

## Y マスタボリューム Rch 設定レジスタ L (VOL\_MASTR\_L)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x3A  
 初期値 : 0x00  
 機能 : ミキシング後の Rch マスタボリュームの設定

ビット	ビット名	機能	R/W	初期値
7-0	VOLMR_L[7:0]	マスタボリューム Rch 設定[7:0]	R/W	0x00

## Y マスタボリューム Rch 設定レジスタ H (VOL\_MASTR\_H)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x3B  
 初期値 : 0x03  
 機能 : ミキシング後の Rch マスタボリュームの設定

ビット	ビット名	機能	R/W	初期値
7-2	未使用		R	000000
1-0	VOLMR_H[1:0]	マスタボリューム Rch 設定[9:8]	R/W	11

## 【注意】

- ・設定レジスタ L は設定レジスタ H に書き込むことで更新されます。設定レジスタ L を更新したい場合は、設定レジスタ H に書き込んでください。
- ・このレジスタは、ミキシング後のボリューム調整です。そのため、VOL\_SD\_CHn レジスタに関係なくボリューム調整ができます。

ボリュームは、MUTE, 76.7dB ~ +25.5dB まで 0.1dB ステップで設定できます。

ボリューム [dB]	VOLMR_H[9:8] VOLMR_L[7:0]
MUTE	0x000
76.7	0x001
76.6	0x002
76.5	0x003
⋮	⋮
0.2	0x2FE
0.1	0x2FF
0	0x300
+0.1	0x301
+0.2	0x302
⋮	⋮
+25.3	0x3FD
+25.4	0x3FE
+25.5	0x3FF

ボリュームを-12dB に設定したい場合、以下の計算式で算出し、レジスタに書き込んでください。

$$(-12(\text{ボリューム dB 値}) + 76.8) \times 10 = 648d = 0x288$$

VOL\_MASTR\_L[7:0]に 0x88, VOL\_MASTR\_H[9:8]に 0x02 を書き込む

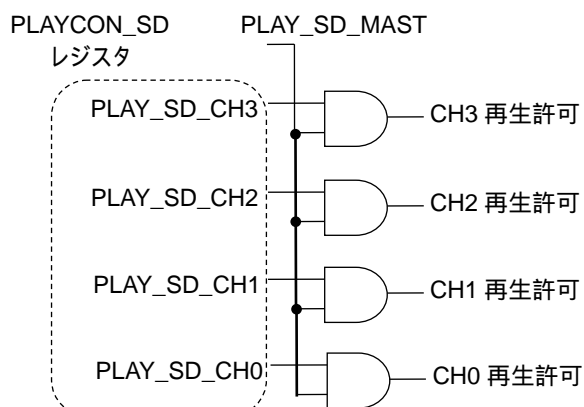
## Y マスタ再生設定レジスタ (PLAYCON\_MAST)

バンク : 0x0, 0x1, 0x2, 0x3  
 アドレス : 0x3E  
 初期値 : 0x00  
 機能 : 再生開始/停止の設定

ビット	ビット名	機能	R/W	初期値
7-1	未使用		R	0000000
0	PLAY_SD_MAST	SoundGenerator 再生制御 0: 停止 1: 再生	R/W	0

## 【注意】

- ・SoundGenerator の再生したいチャンネルを設定 (PLAYCON\_SD レジスタのチャンネルビットを“1”)した状態で, PLAY\_SD\_MAST ビットに“1”を設定することで再生を開始します。再生中に, PLAY\_SD\_MAST ビットを“0”に設定すると, SoundGenerator のすべてのチャンネルの再生を直ぐに停止します。この時, PLAYCON\_SD レジスタのチャンネルビットはクリアされません。
- ・STAT1 レジスタを読み出すことで, 各チャンネルの再生状態を確認できます。



U SoundGenerator0 関連レジスタリスト ( BANKSEL[3:0]= 0x0 )

Y SoundGenerator ピッチ制御レジスタ (PITCHCON\_SD)

バンク : 0x00  
 アドレス : 0x40  
 初期値 : 0x00  
 機能 : CH のピッチの制御

ビット	ビット名	機能	R/W	初期値
7-2	未使用		R	000000
1	PITCHEN_SD_CH1	CH1 ピッチ制御 0: PIT_SD_CH1_L/H を適用(CH1 単独制御) 1: PIT_SD_CH0_L/H を適用(CH0 連動制御)	R/W	0
0	未使用		R	0

PITCHCON\_SD のピッチの組合せについては、機能説明の「ピッチ設定について」を参照してください。

【注意】

・再生停止中 (STAT1 レジスタのチャンネルビットがすべて“0”もしくは PLAYCON\_MAST レジスタの PLAY\_SD\_MAST ビットが“0”の時) に設定を変更してください。



## Y SoundGenerator ボリューム制御レジスタ (VOLCON\_SD)

バンク : 0x00  
 アドレス : 0x41  
 初期値 : 0x00  
 機能 : チャンネル毎のボリュームの制御

ビット	ビット名	機能	R/W	初期値
7-4	未使用		R	0000
3	VOLEN_SD_CH3	CH3 ボリューム制御 0: VOL_SD_CH3_L/H を適用(CH3 単独制御) 1: VOL_SD_CH0_L/H を適用(CH0 連動制御)	R/W	0
2	VOLEN_SD_CH2	CH2 ボリューム制御 0: VOL_SD_CH2_L/H を適用(CH2 単独制御) 1: VOL_SD_CH0_L/H を適用(CH0 連動制御)	R/W	0
1	VOLEN_SD_CH1	CH1 ボリューム制御 0: VOL_SD_CH1_L/H を適用(CH1 単独制御) 1: VOL_SD_CH0_L/H を適用(CH0 連動制御)	R/W	0
0	未使用		R	0

再生ボリュームの組合せは、機能説明の「ボリューム設定について」を参照してください。

## 【注意】

・再生停止中 (STAT1 レジスタのチャンネルビットがすべて“0”もしくは PLAYCON\_MAST レジスタの PLAY\_SD\_MAST ビットが“0”の時) に設定を変更してください。

## Y SoundGenerator チャンネル再生設定レジスタ (PLAYCON\_SD)

バンク : 0x00  
 アドレス : 0x42  
 初期値 : 0xXX  
 機能 : チャンネルの再生制御

ビット	ビット名	機能	R/W	初期値
7-4	未使用		R	0000
3	PLAY_SD_CH3	CH3 再生制御 0: 現在状態を保持 1: 再生	W	x
2	PLAY_SD_CH2	CH2 再生制御 0: 現在状態を保持 1: 再生	W	x
1	PLAY_SD_CH1	CH1 再生制御 0: 現在状態を保持 1: 再生	W	x
0	PLAY_SD_CH0	CH0 再生制御 0: 現在状態を保持 1: 再生	W	x

## 【注意】

・再生したいチャンネルのビットが“1”かつマスタ再生制御レジスタの PLAY\_SD\_MAST ビットが“1”の時、当該チャンネルの再生を開始します。STAT1 レジスタで、各チャンネルの再生状態を確認できます。  
 ・再生を停止する場合は、VOL\_SD\_CHn レジスタでボリュームを MUTE にして、STAT2 レジスタでフェードが終わっていることを確認した後、STOPCON\_SD レジスタの停止したいチャンネルビットを“1”に設定してください。他のチャンネルの再生状態には影響しません。マスタ再生制御レジスタの PLAY\_SD\_MAST ビットを“0”にすると、すべてのチャンネルの再生を直ぐに停止します。

## Y SoundGenerator チャンネル再生停止設定レジスタ (STOPCON\_SD)

バンク : 0x00  
 アドレス : 0x43  
 初期値 : 0xXX  
 機能 : チャンネルの再生停止制御

ビット	ビット名	機能	R/W	初期値
7-4	未使用		W	xxxx
3	STOP_SD_CH3	CH3 再生制御 0: 現在状態を保持 1: 再生停止	W	x
2	STOP_SD_CH2	CH2 再生制御 0: 現在状態を保持 1: 再生停止	W	x
1	STOP_SD_CH1	CH1 再生制御 0: 現在状態を保持 1: 再生停止	W	x
0	STOP_SD_CH0	CH0 再生制御 0: 現在状態を保持 1: 再生停止	W	x

## 【注意】

- ・再生停止したいチャンネルのビットに“1”を設定することで、そのチャンネルの再生は停止します。再生停止の確認は、STAT1 レジスタのチャンネルビットが“0”になっていることで確認できます。
- ・再生を停止する場合は、VOL\_SD\_CHn レジスタでボリュームを MUTE にして、STAT2 レジスタでフェードが終わっていることを確認した後、停止したいチャンネルビットに“1”に設定してください。他のチャンネルの再生状態には影響しません。マスタ再生制御レジスタの PLAY\_SD\_MAST ビットを“0”にすると、すべてのチャンネルの再生を直ぐに停止します。

## Y SoundGenerator チャンネル n ピッチ設定レジスタ L (PIT\_SD\_CHn\_L) n=0-3

バンク : 0x00  
 アドレス : 0x50,0x52,0x54,0x56  
 初期値 : 0x00  
 機能 : チャンネルのピッチ設定

ビット	ビット名	機能	R/W	初期値
7-0	PIT_SD_CH0_L	アドレス 0x50:CH0 ピッチ設定[7:0]	R/W	0x00
	PIT_SD_CH1_L	アドレス 0x52:CH1 ピッチ設定[7:0]		
	PIT_SD_CH2_L	アドレス 0x54:CH2 ピッチ設定[7:0]		
	PIT_SD_CH3_L	アドレス 0x56:CH3 ピッチ設定[7:0]		

## Y SoundGenerator チャンネル n ピッチ設定レジスタ H (PIT\_SD\_CHn\_H) n=0-3

バンク : 0x00  
 アドレス : 0x51,0x53,0x55,0x57  
 初期値 : 0x01  
 機能 : チャンネルのピッチ設定

ビット	ビット名	機能	R/W	初期値
7-2	未使用		R	000000
1-0	PIT_SD_CH0_H	アドレス 0x51:CH0 ピッチ設定[9:8]	R/W	01
	PIT_SD_CH1_H	アドレス 0x53:CH1 ピッチ設定[9:8]		
	PIT_SD_CH2_H	アドレス 0x55:CH2 ピッチ設定[9:8]		
	PIT_SD_CH3_H	アドレス 0x57:CH3 ピッチ設定[9:8]		

## 【注意】

・設定レジスタ L は設定レジスタ H に書き込むことで更新されます。設定レジスタ L を更新したい場合は、設定レジスタ H に書き込んでください。

CH0～1 のピッチ倍率は、0.0625 倍～3.9960938 倍まで 0.00390625 倍ステップで設定できます。  
CH2～3 のピッチ倍率は、0.0625 倍～1 倍まで 0.00390625 倍ステップで設定できます。

CH0～1 ピッチ倍率	PIT_SD_CHn_H[9:8] PIT_SD_CHn_L[7:0] (n=0～1)	CH2～3 ピッチ倍率	PIT_SD_CHn_H[9:8] PIT_SD_CHn_L[7:0] (n=2～3)	
3.9960938	0x3FF	設定禁止 (1 に設定)	0x3FF	
3.9921875	0x3FE		0x3FE	
3.9882813	0x3FD		0x3FD	
3.984375	0x3FC		0x3FC	
3.9804688	0x3FB		0x3FB	
3.9765625	0x3FA		0x3FA	
3.9726563	0x3F9		0x3F9	
3.96875	0x3F8		0x3F8	
3.9648438	0x3F7		0x3F7	
3.9609375	0x3F6		0x3F6	
3.9570313	0x3F5		0x3F5	
3.953125	0x3F4		0x3F4	
3.9492188	0x3F3		0x3F3	
3.9453125	0x3F2		0x3F2	
3.9414063	0x3F1		0x3F1	
3.9375	0x3F0		0x3F0	
⋮	⋮		⋮	⋮
3	0x300		⋮	0x300
⋮	⋮		⋮	⋮
2	0x200		⋮	0x200
⋮	⋮	⋮	⋮	
1	0x100	1	0x100	
⋮	⋮	⋮	⋮	
0.0625	0x010	0.0625	0x010	
設定禁止 (0.0625 に設定)	0x00F	設定禁止 (0.0625 に設定)	0x00F	
⋮	⋮	⋮	⋮	
設定禁止 (0.0625 に設定)	0x000	設定禁止 (0.0625 に設定)	0x000	

0x000～0x00F を書き込んだ場合、読み出し時には、0x010 が読み出されます。

CH2～3 は、0x101～0x3FF を書き込んだ場合、読み出し時には、0x100 が読み出されます。

ピッチ倍率を 1.1875 倍に設定したい場合、以下の計算式で算出し、レジスタに書き込んでください。

$$1.1875(\text{ピッチ倍率}) \times 256 = 304d = 0x130$$

PIT\_SD\_CHn\_L[7:0]に 0x30, PIT\_SD\_CHn\_H[9:8]に 0x01 を書き込む

【注意】

・チャンネル毎のピッチの設定方法については、機能説明の「ピッチ設定について」を参照してください。

## Y Sound Generator チャンネル n ボリューム設定レジスタ L (VOL\_SD\_CHn\_L) n=0-3

バンク : 0x00  
 アドレス : 0x60, 0x62, 0x64, 0x66  
 初期値 : 0x00  
 機能 : チャンネルのボリューム設定

ビット	ビット名	機能	R/W	初期値
7-0	VOL_SD_CH0_L[7:0] VOL_SD_CH1_L[7:0] VOL_SD_CH2_L[7:0] VOL_SD_CH3_L[7:0]	アドレス 0x60: CH0 ボリューム設定[7:0] アドレス 0x62: CH1 ボリューム設定[7:0] アドレス 0x64: CH2 ボリューム設定[7:0] アドレス 0x66: CH3 ボリューム設定[7:0]	R/W	0x00

## Y Sound Generator チャンネル n ボリューム設定レジスタ H (VOL\_SD\_CHn\_H) n=0-3

バンク : 0x00  
 アドレス : 0x61, 0x63, 0x65, 0x67  
 初期値 : 0x03  
 機能 : チャンネルのボリューム設定

ビット	ビット名	機能	R/W	初期値
7-2	未使用		R	000000
1-0	VOL_SD_CH0_H[7:0] VOL_SD_CH1_H[7:0] VOL_SD_CH2_H[7:0] VOL_SD_CH3_H[7:0]	アドレス 0x61: CH0 ボリューム設定[9:8] アドレス 0x63: CH1 ボリューム設定[9:8] アドレス 0x65: CH2 ボリューム設定[9:8] アドレス 0x67: CH3 ボリューム設定[9:8]	R/W	11

## 【注意】

・設定レジスタ L は設定レジスタ H に書き込むことで更新されます。設定レジスタ L を更新したい場合は、設定レジスタ H に書き込んでください。

・チャンネル毎のボリュームの設定方法については、機能説明の「ボリューム設定について」を参照してください。

ボリュームは、MUTE, 76.7dB ~ +25.5dB まで 0.1dB ステップで設定できます。

ボリューム [dB]	VOL_SD_CHn_H[9:8] VOL_SD_CHn_L[7:0] (n=0~3)
MUTE	0x000
76.7	0x001
76.6	0x002
76.5	0x003
⋮	⋮
0.2	0x2FE
0.1	0x2FF
0	0x300
+0.1	0x301
+0.2	0x302
⋮	⋮
+25.3	0x3FD
+25.4	0x3FE
+25.5	0x3FF

ボリュームを-12dB に設定したい場合、以下の計算式で算出し、レジスタに書き込んでください。

$$(-12(\text{ボリューム dB 値}) + 76.8) \times 10 = 648d = 0x288$$

VOL\_SD\_CHn\_L[7:0]に 0x88, VOL\_SD\_CHn\_H[9:8]に 0x02 を書き込む

## U SoundGenerator1 関連レジスタリスト (BANKSEL[3:0]= 0x1)

## Y SoundGenerator フレーズ制御レジスタ CH0 (PHRASE\_SD\_CH0)

バンク : 0x01  
 アドレス : 0x40  
 初期値 : 0x00  
 機能 : CH0 の再生フレーズの設定

ビット	ビット名	機能	R/W	初期値
7-6	未使用		R	00
5-0	PHR_CH0[5:0]	CH0 の再生フレーズを指定 000000: フレーズ 0 を指定 000001: フレーズ 1 を指定 : 111110: フレーズ 62 を指定 111111: フレーズ 63 を指定	R/W	000000

## Y SoundGenerator フレーズ制御レジスタ CH1 (PHRASE\_SD\_CH1)

バンク : 0x01  
 アドレス : 0x41  
 初期値 : 0x00  
 機能 : CH1 の再生フレーズの設定

ビット	ビット名	機能	R/W	初期値
7-6	未使用		R	00
5-0	PHR_CH1[5:0]	CH1 の再生フレーズを指定 000000: フレーズ 0 を指定 000001: フレーズ 1 を指定 : 111110: フレーズ 62 を指定 111111: フレーズ 63 を指定	R/W	000000

## Y SoundGenerator フレーズ制御レジスタ CH2(PHRASE\_SD\_CH2)

バンク :0x01  
 アドレス :0x42  
 初期値 :0x00  
 機能 :CH2 の再生フレーズの設定

ビット	ビット名	機能	R/W	初期値
7-6	未使用		R	00
5-0	PHR_CH2[5:0]	CH2 の再生フレーズを指定 000000: フレーズ 0 を指定 000001: フレーズ 1 を指定 : 111110: フレーズ 62 を指定 111111: フレーズ 63 を指定	R/W	000000

## Y SoundGenerator フレーズ制御レジスタ CH3(PHRASE\_SD\_CH3)

バンク :0x01  
 アドレス :0x43  
 初期値 :0x00  
 機能 :CH3 の再生フレーズの設定

ビット	ビット名	機能	R/W	初期値
7-6	未使用		R	00
5-0	PHR_CH3[5:0]	CH3 の再生フレーズを指定 000000: フレーズ 0 を指定 000001: フレーズ 1 を指定 : 111110: フレーズ 62 を指定 111111: フレーズ 63 を指定	R/W	000000



## Y SoundGenerator ループ再生制御レジスタ (LOOPCON\_SD)

バンク : 0x01  
 アドレス : 0x48  
 初期値 : 0x0F  
 機能 : ループ再生の設定

ビット	ビット名	機能	R/W	初期値
7-4	未使用		R	0000
3	LOOP_SD_CH3	CH3 ループ再生制御 0: 1回再生 1: ループ再生	R/W	1
2	LOOP_SD_CH2	CH2 ループ再生制御 0: 1回再生 1: ループ再生	R/W	1
1	LOOP_SD_CH1	CH1 ループ再生制御 0: 1回再生 1: ループ再生	R/W	1
0	LOOP_SD_CH0	CH0 ループ再生制御 0: 1回再生 1: ループ再生	R/W	1

## 【注意】

・1回だけ再生する場合は、本レジスタの該当ビット (LOOP\_SD\_CHn: n=0-3) に“0”を設定し、PLAYCON\_SD レジスタの該当ビット (PLAY\_SD\_CHn: n=0-3) と PLAYCON\_MAST レジスタの PLAY\_SD\_MAST ビットに“1”を設定してください。1回再生が終了すると、PLAYCON\_SD レジスタの該当ビット (PLAY\_SD\_CHn: n=0-3) は自動でクリアされますが、PLAY\_SD\_MAST ビットはクリアされません。他のチャンネルの再生状態には影響しません。

・ループ再生する場合は、本レジスタの該当ビット (LOOP\_SD\_CHn: n=0-3) に“1”を設定し、PLAYCON\_SD レジスタの該当ビットと PLAY\_SD\_MAST ビットに“1”を設定してください。

・ループ再生を停止したい場合は、本レジスタの該当ビット (LOOP\_SD\_CHn: n=0-3) に“0”に設定することで1回再生に切り替わり、1回だけ再生して停止します。この時も PLAYCON\_SD レジスタの該当ビット (PLAY\_SD\_CHn: n=0-3) は自動でクリアされますが、PLAY\_SD\_MAST ビットはクリアされません。他のチャンネルの再生状態には影響しません。

・直ぐに再生を停止する場合は、VOL\_SD\_CHn レジスタでボリュームを MUTE にして、STAT2 レジスタでフェードが終わっていることを確認した後、STOPCON\_SD レジスタの停止したいチャンネルビットを“1”に設定してください。他のチャンネルの再生状態には影響しません。

U EqualizerLch 関連レジスタリスト ( BANKSEL[3:0]=0x2 )

Y EQ Lch イコライザ制御レジスタ(EQLCON)

バンク : 0x02  
 アドレス : 0x40  
 初期値 : 0x00  
 機能 : イコライザ Lch の許可制御

ビット	ビット名	機能	R/W	初期値
7-5	未使用		R	000
4	EQL4EN	Band4 イコライザの設定 0:停止 1:動作	R/W	0
3	EQL3EN	Band3 イコライザの設定 0:停止 1:動作	R/W	0
2	EQL2EN	Band2 イコライザの設定 0:停止 1:動作	R/W	0
1	EQL1EN	Band1 イコライザの設定 0:停止 1:動作	R/W	0
0	EQL0EN	Band0 イコライザの設定 0:停止 1:動作	R/W	0

【注意】

・再生停止中 (STAT1 レジスタのチャンネルビットがすべて“0”もしくは PLAYCON\_MAST レジスタの PLAY\_SD\_MAST ビットが“0”の時かつ OUTCON レジスタの OUT\_EN ビットが“0”の時) に設定を変更してください。

Y EQ Lch Band n ゲイン設定レジスタ (EQLGAINn) n=0~4

バンク : 0x02  
 アドレス : 0x41, 0x42, 0x43, 0x44, 0x45  
 初期値 : 0xE7  
 機能 : イコライザ Lch の Band n ゲインの設定

ビット	ビット名	機能	R/W	初期値
7-0	EQLGAIN0	アドレス 0x41 : Band0 ゲイン設定[7:0]	R/W	0xE7
	EQLGAIN1	アドレス 0x42 : Band1 ゲイン設定[7:0]		
	EQLGAIN2	アドレス 0x43 : Band2 ゲイン設定[7:0]		
	EQLGAIN3	アドレス 0x44 : Band3 ゲイン設定[7:0]		
	EQLGAIN4	アドレス 0x45 : Band4 ゲイン設定[7:0]		

ゲインは, +12dB ~ MUTE まで 0.5dB ステップで設定できます。

EQLGAINn[7:0] ( n=0~4 )	ゲイン
0xFF	+12.0dB
0xFE	+11.5dB
0xFD ~ 0xE9	~( +0.5dB ステップ )~
0xE8	+0.5dB
0xE7	0dB
0xE6	-0.5dB
0xE5 ~ 0x5A	~( +0.5dB ステップ )~
0x59	-71.0dB
0x58	-71.5dB
0x57 ~ 0x00	MUTE

## Y EQ Lch Band n A0 係数設定レジスタ L (EQLBANDnA0L) n=0~4

バンク : 0x02  
 アドレス : 0x46,0x4A,0x4E,0x52,0x56  
 初期値 : 0x00  
 機能 : イコライザ Lch の Band n A0 係数 L の設定

ビット	ビット名	機能	R/W	初期値
7-0	EQLBAND0A0L	アドレス 0x46: Band0 A0 係数設定[7:0]	R/W	0x00
	EQLBAND1A0L	アドレス 0x4A: Band1 A0 係数設定[7:0]		
	EQLBAND2A0L	アドレス 0x4E: Band2 A0 係数設定[7:0]		
	EQLBAND3A0L	アドレス 0x52: Band3 A0 係数設定[7:0]		
	EQLBAND4A0L	アドレス 0x56: Band4 A0 係数設定[7:0]		

## Y EQ Lch Band n A0 係数設定レジスタ H (EQLBANDnA0H) n=0~4

バンク : 0x02  
 アドレス : 0x47,0x4B,0x4F,0x53,0x57  
 初期値 : 0x00  
 機能 : イコライザ Lch の Band n A0 係数 H の設定

ビット	ビット名	機能	R/W	初期値
7-0	EQLBAND0A0H	アドレス 0x47: Band0 A0 係数設定[15:8]	R/W	0x00
	EQLBAND1A0H	アドレス 0x4B: Band1 A0 係数設定[15:8]		
	EQLBAND2A0H	アドレス 0x4F: Band2 A0 係数設定[15:8]		
	EQLBAND3A0H	アドレス 0x53: Band3 A0 係数設定[15:8]		
	EQLBAND4A0H	アドレス 0x57: Band4 A0 係数設定[15:8]		

## 【注意】

- ・設定レジスタ L は設定レジスタ H に書き込むことで更新されます。設定レジスタ L を更新したい場合は、設定レジスタ H に書き込んでください。
- ・EQLBANDnA0L/H レジスタと EQLBANDnA1L/H レジスタを設定することで、イコライザの中心周波数、Band 幅を任意に設定することができます。
- ・再生停止中 (STAT1 レジスタのチャンネルビットがすべて“0”もしくは PLAYCON\_MAST レジスタの PLAY\_SD\_MAST ビットが“0”の時かつ OUTCON レジスタの OUT\_EN ビットが“0”の時) に設定を変更してください。
- ・専用ツールを使って設定値を生成します。その値を本レジスタに設定してください。

## Y EQ Lch Band n A1 係数設定レジスタ L (EQLBANDnA1L) n=0~4

バンク : 0x02  
 アドレス : 0x48, 0x4C, 0x50, 0x54, 0x58  
 初期値 : 0x00  
 機能 : イコライザ Lch の Band n A1 係数 L の設定

ビット	ビット名	機能	R/W	初期値
7-0	EQLBAND0A1L EQLBAND1A1L EQLBAND2A1L EQLBAND3A1L EQLBAND4A1L	アドレス 0x48: Band0 A1 係数設定[7:0] アドレス 0x4C: Band1 A1 係数設定[7:0] アドレス 0x50: Band2 A1 係数設定[7:0] アドレス 0x54: Band3 A1 係数設定[7:0] アドレス 0x58: Band4 A1 係数設定[7:0]	R/W	0x00

## Y EQ Lch Band n A1 係数設定レジスタ H (EQLBANDnA1H) n=0~4

バンク : 0x02  
 アドレス : 0x49, 0x4D, 0x51, 0x55, 0x59  
 初期値 : 0x00  
 機能 : イコライザ Lch の Band n A1 係数 H の設定

ビット	ビット名	機能	R/W	初期値
7-0	EQLBAND0A1H EQLBAND1A1H EQLBAND2A1H EQLBAND3A1H EQLBAND4A1H	アドレス 0x49: Band0 A1 係数設定[15:8] アドレス 0x4D: Band1 A1 係数設定[15:8] アドレス 0x51: Band2 A1 係数設定[15:8] アドレス 0x55: Band3 A1 係数設定[15:8] アドレス 0x59: Band4 A1 係数設定[15:8]	R/W	0x00

## 【注意】

- ・設定レジスタ L は設定レジスタ H に書き込むことで更新されます。設定レジスタ L を更新したい場合は、設定レジスタ H に書き込んでください。
- ・EQLBANDnA0L/H レジスタと EQLBANDnA1L/H レジスタを設定することで、イコライザの中心周波数、Band 幅を任意に設定することができます。
- ・再生停止中 (STAT1 レジスタのチャンネルビットがすべて“0”もしくは PLAYCON\_MAST レジスタの PLAY\_SD\_MAST ビットが“0”の時かつ OUTCON レジスタの OUT\_EN ビットが“0”の時) に設定を変更してください。
- ・専用ツールを使って設定値を生成します。その値を本レジスタに設定してください。

## U EqualizerRch 関連レジスタリスト ( BANKSEL[3:0]=0x3 )

## Y EQ Rch イコライザ制御レジスタ(EQRCON)

バンク : 0x03  
 アドレス : 0x40  
 初期値 : 0x00  
 機能 : イコライザ Rch の許可制御

ビット	ビット名	機能	R/W	初期値
7-5	未使用		R	000
4	EQR4EN	Band4 イコライザの設定 0:停止 1:動作	R/W	0
3	EQR3EN	Band3 イコライザの設定 0:停止 1:動作	R/W	0
2	EQR2EN	Band2 イコライザの設定 0:停止 1:動作	R/W	0
1	EQR1EN	Band1 イコライザの設定 0:停止 1:動作	R/W	0
0	EQR0EN	Band0 イコライザの設定 0:停止 1:動作	R/W	0

## 【注意】

・再生停止中 (STAT1 レジスタのチャンネルビットがすべて“0”もしくは PLAYCON\_MAST レジスタの PLAY\_SD\_MAST ビットが“0”の時かつ OUTCON レジスタの OUT\_EN ビットが“0”の時) に設定を変更してください。

Y EQ Rch Band n ゲイン設定レジスタ (EQRGAINn) n=0~4

バンク : 0x03  
 アドレス : 0x41, 0x42, 0x43, 0x44, 0x45  
 初期値 : 0xE7  
 機能 : イコライザ Rch の Band n ゲインの設定

ビット	ビット名	機能	R/W	初期値
7-0	EQRGAIN0	アドレス 0x41 : Band0 ゲイン設定[7:0]	R/W	0xE7
	EQRGAIN1	アドレス 0x42 : Band1 ゲイン設定[7:0]		
	EQRGAIN2	アドレス 0x43 : Band2 ゲイン設定[7:0]		
	EQRGAIN3	アドレス 0x44 : Band3 ゲイン設定[7:0]		
	EQRGAIN4	アドレス 0x45 : Band4 ゲイン設定[7:0]		

ゲインは, +12dB ~ MUTE まで 0.5dB ステップで設定できます。

EQRGAINn[7:0] ( n=0~4 )	ゲイン
0xFF	+12.0dB
0xFE	+11.5dB
0xFD ~ 0xE9	~( +0.5dB ステップ )~
0xE8	+0.5dB
0xE7	0dB
0xE6	-0.5dB
0xE5 ~ 0x5A	~( +0.5dB ステップ )~
0x59	-71.0dB
0x58	-71.5dB
0x57 ~ 0x00	MUTE

## Y EQ Rch Band n A0 係数設定レジスタ L (EQRBANDnA0L) n=0~4

バンク : 0x03  
 アドレス : 0x46, 0x4A, 0x4E, 0x52, 0x56  
 初期値 : 0x00  
 機能 : イコライザ Rch の Band n A0 係数 L の設定

ビット	ビット名	機能	R/W	初期値
7-0	EQRBAND0A0L	アドレス 0x46: Band0 A0 係数設定[7:0]	R/W	0x00
	EQRBAND1A0L	アドレス 0x4A: Band1 A0 係数設定[7:0]		
	EQRBAND2A0L	アドレス 0x4E: Band2 A0 係数設定[7:0]		
	EQRBAND3A0L	アドレス 0x52: Band3 A0 係数設定[7:0]		
	EQRBAND4A0L	アドレス 0x56: Band4 A0 係数設定[7:0]		

## Y EQ Rch Band n A0 係数設定レジスタ H (EQRBANDnA0H) n=0~4

バンク : 0x03  
 アドレス : 0x47, 0x4B, 0x4F, 0x53, 0x57  
 初期値 : 0x00  
 機能 : イコライザ Rch の Band n A0 係数 H の設定

ビット	ビット名	機能	R/W	初期値
7-0	EQRBAND0A0H	アドレス 0x47: Band0 A0 係数設定[15:8]	R/W	0x00
	EQRBAND1A0H	アドレス 0x4B: Band1 A0 係数設定[15:8]		
	EQRBAND2A0H	アドレス 0x4F: Band2 A0 係数設定[15:8]		
	EQRBAND3A0H	アドレス 0x53: Band3 A0 係数設定[15:8]		
	EQRBAND4A0H	アドレス 0x57: Band4 A0 係数設定[15:8]		

## 【注意】

- ・設定レジスタ L は設定レジスタ H に書き込むことで更新されます。設定レジスタ L を更新したい場合は、設定レジスタ H に書き込んでください。
- ・EQRBANDnA0L/H レジスタと EQRBANDnA1L/H レジスタを設定することで、イコライザの中心周波数、Band 幅を任意に設定することができます。
- ・再生停止中 (STAT1 レジスタのチャンネルビットがすべて“0”もしくは PLAYCON\_MAST レジスタの PLAY\_SD\_MAST ビットが“0”の時かつ OUTCON レジスタの OUT\_EN ビットが“0”の時) に設定を変更してください。
- ・専用ツールを使って設定値を生成します。その値を本レジスタに設定してください。



## Y EQ Rch Band n A1 係数設定レジスタ L (EQRBANDnA1L) n=0~4

バンク : 0x03  
 アドレス : 0x48,0x4C,0x50,0x54,0x58  
 初期値 : 0x00  
 機能 : イコライザ Rch の Band n A1 係数 L の設定

ビット	ビット名	機能	R/W	初期値
7-0	EQRBAND0A1L	アドレス 0x48: Band0 A1 係数設定[7:0]	R/W	0x00
	EQRBAND1A1L	アドレス 0x4C: Band1 A1 係数設定[7:0]		
	EQRBAND2A1L	アドレス 0x50: Band2 A1 係数設定[7:0]		
	EQRBAND3A1L	アドレス 0x54: Band3 A1 係数設定[7:0]		
	EQRBAND4A1L	アドレス 0x58: Band4 A1 係数設定[7:0]		

## Y EQ Rch Band n A1 係数設定レジスタ H (EQRBANDnA1H) n=0~4

バンク : 0x03  
 アドレス : 0x49,0x4D,0x51,0x55,0x59  
 初期値 : 0x00  
 機能 : イコライザ Rch の Band n A1 係数 H の設定

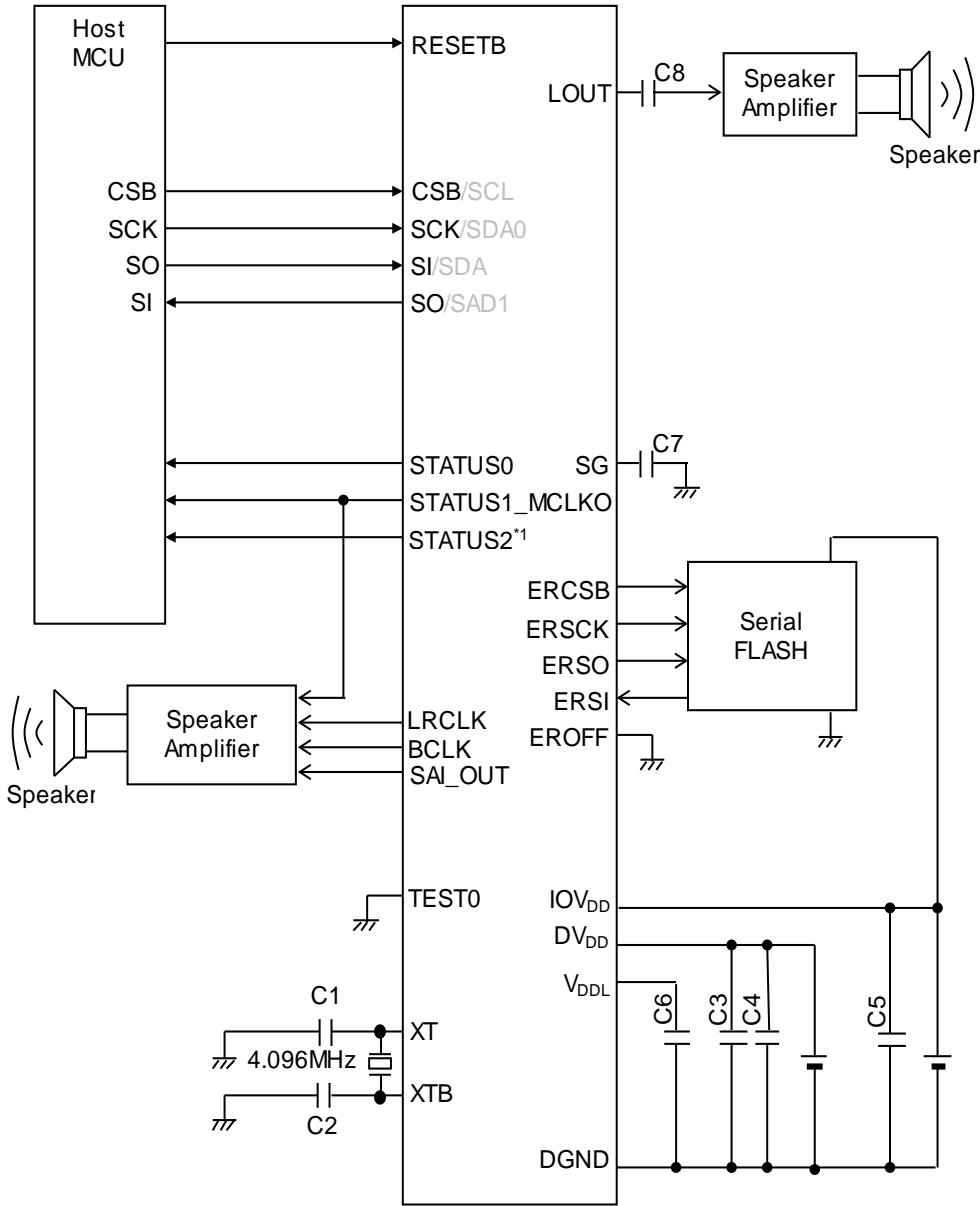
ビット	ビット名	機能	R/W	初期値
7-0	EQRBAND0A1H	アドレス 0x49: Band0 A1 係数設定[15:8]	R/W	0x00
	EQRBAND1A1H	アドレス 0x4D: Band1 A1 係数設定[15:8]		
	EQRBAND2A1H	アドレス 0x51: Band2 A1 係数設定[15:8]		
	EQRBAND3A1H	アドレス 0x55: Band3 A1 係数設定[15:8]		
	EQRBAND4A1H	アドレス 0x59: Band4 A1 係数設定[15:8]		

## 【注意】

- ・設定レジスタ L は設定レジスタ H に書き込むことで更新されます。設定レジスタ L を更新したい場合は、設定レジスタ H に書き込んでください。
- ・EQRBANDnA0L/H レジスタと EQRBANDnA1L/H レジスタを設定することで、イコライザの中心周波数、Band 幅を任意に設定することができます。
- ・再生停止中 (STAT1 レジスタのチャンネルビットがすべて“0”もしくは PLAYCON\_MAST レジスタの PLAY\_SD\_MAST ビットが“0”の時かつ OUTCON レジスタの OUT\_EN ビットが“0”の時) に設定を変更してください。
- ・専用ツールを使って設定値を生成します。その値を本レジスタに設定してください。

応用回路例

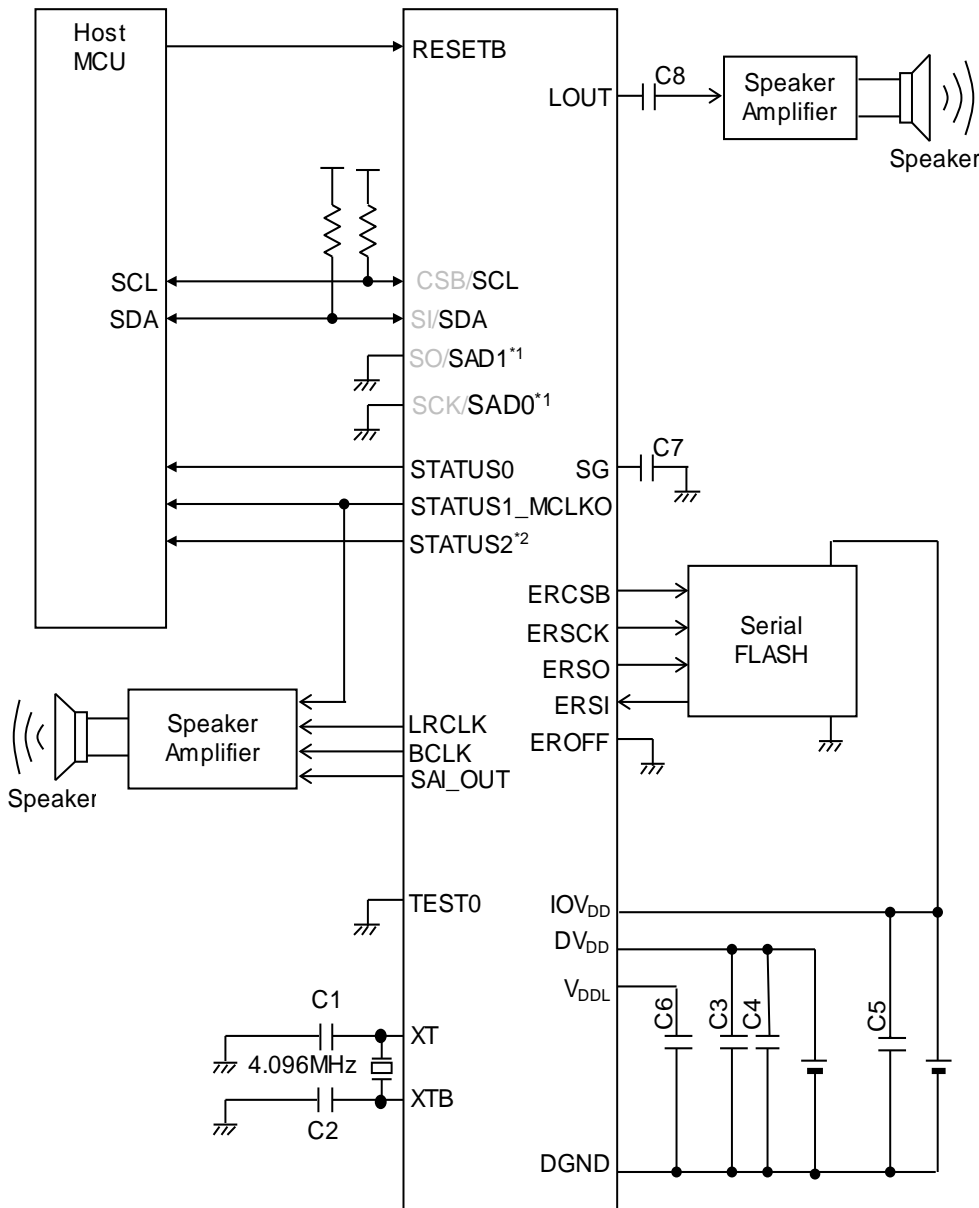
同期シリアル通信時



\*1: 24PIN版は, 端子無

端子	シンボル	推奨定数
DV <sub>DD</sub>	C3	3.3μF±20%
DV <sub>DD</sub>	C4	0.1μF±20%
IOV <sub>DD</sub>	C5	1μF±20%
V <sub>DDL</sub>	C6	1uF±20%
SG	C7	0.1uF±20%
LOUT	C8	0.1uF±20%

I<sup>2</sup>C 時



\*1: スレーブアドレスに100\_0101を選択した時

\*2: 24PIN版は、端子無

端子	シンボル	推奨定数
DV <sub>DD</sub>	C3	3.3 $\mu$ F $\pm$ 20%
DV <sub>DD</sub>	C4	0.1 $\mu$ F $\pm$ 20%
IOV <sub>DD</sub>	C5	1 $\mu$ F $\pm$ 20%
V <sub>DDL</sub>	C6	1 $\mu$ F $\pm$ 20%
SG	C7	0.1 $\mu$ F $\pm$ 20%
LOUT	C8	0.1 $\mu$ F $\pm$ 20%

**推奨セラミック発振子**

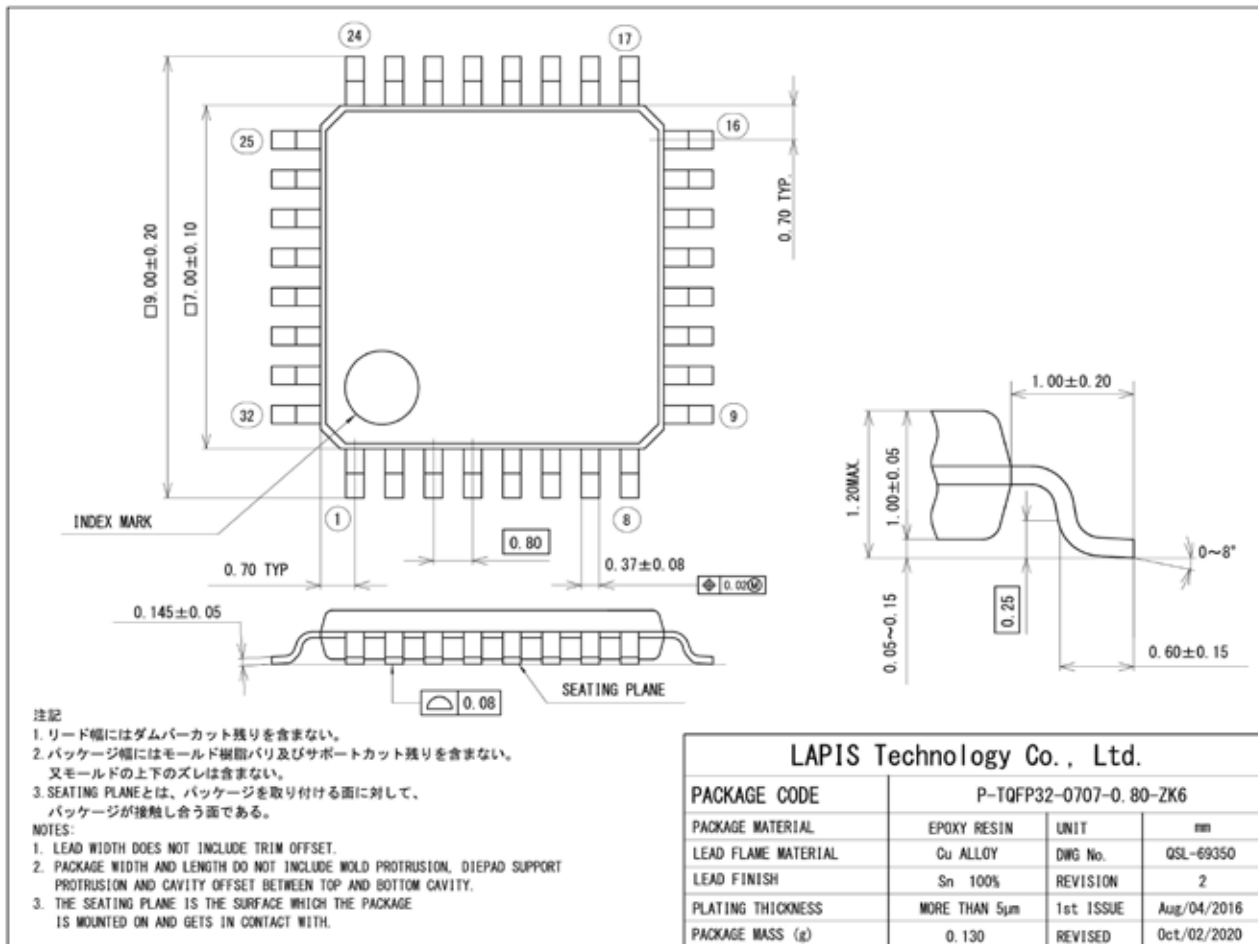
推奨セラミック発振子を以下に記載します。

株村田製作所

周波数[Hz]	品名	内蔵負荷容量[pF]
4M	CSTCR4M00G55B-R0	39
4.096M	CSTCR4M09G55B-R0	

## パッケージ寸法図

ML22120TB (32ピン TQFP)



## 表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを当社販売窓口まで必ずお問い合わせください。

本 LSI の熱抵抗値(例)について以下に示します。基板の大きさや層数により熱抵抗値(  $\theta_{Ja}$  )が変わります。

PCB	(W/L/t = 76.2 / 114.3 / 1.6 (mm))
PCB Layer	JEDEC 4 層
空冷条件	無風時(0m/sec)
熱抵抗値( $\theta_{Ja}$ )	59.04 [ $^{\circ}$ C /W]
チップの消費電力 PMax OutputPower	0.06[W]

本 LSI の  $T_{jMax}$  は 130  $^{\circ}$ C です。 $T_{jMax}$  は以下の式で表されます。

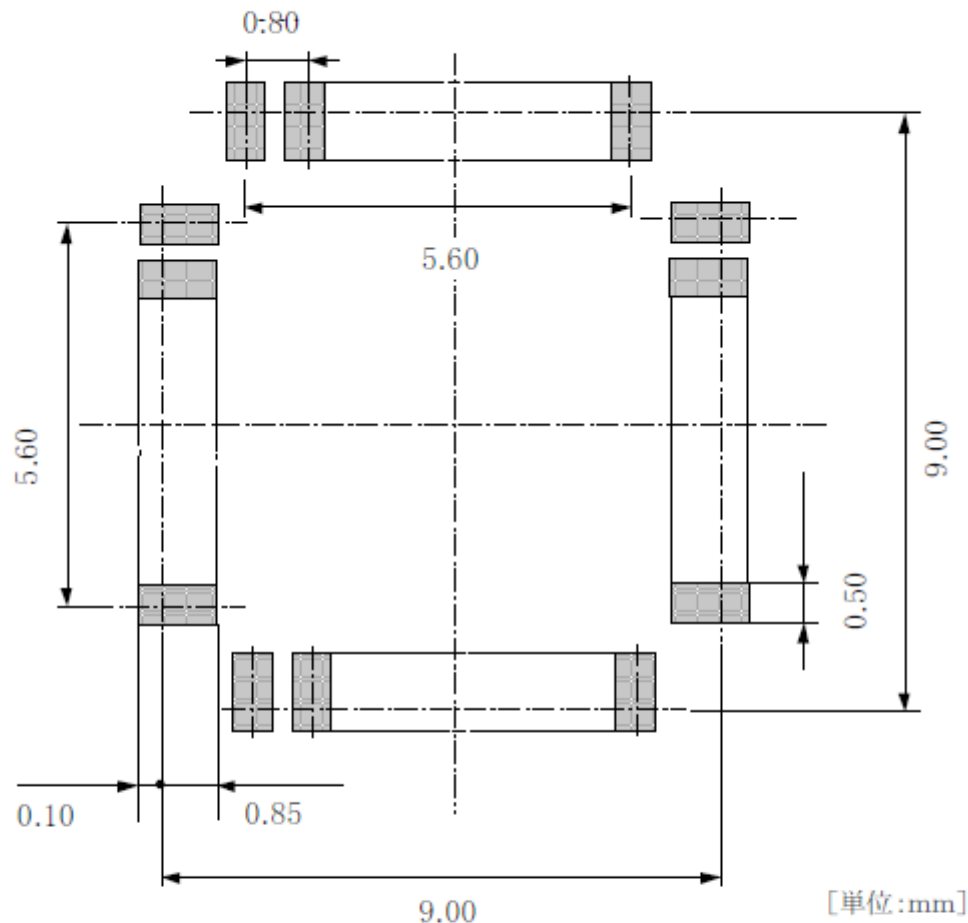
$$T_{jMax} = T_{aMax} + \theta_{Ja} \times P_{Max}$$

基板における端子存在範囲図(参考データ)を次頁に記載します。

## 半田付け部端子存在範囲図

参考図

Mounting area for package lead soldering to PC boards



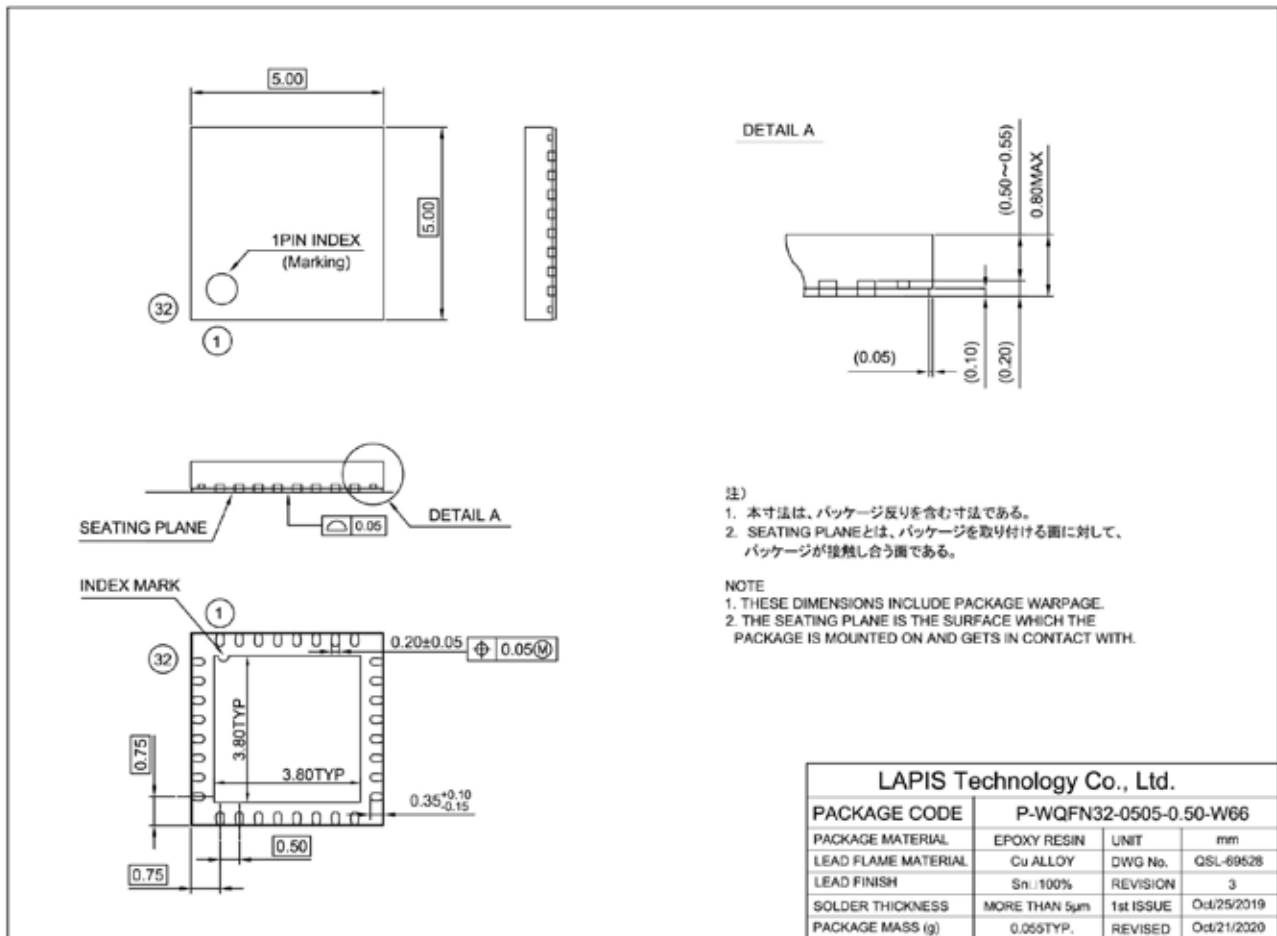
実装基板のフットパターンの設計の際には、実装の容易さ、接続の信頼性、配線の引き回し、半田ブリッジ発生のないことなどを十分考慮してください。

フットパターンの最適な設計は基板材質、使用する半田ペースト種類、厚み、半田付け方法などによって変わってきます。従って、本パッケージの端子の存在し得る範囲を「半田付け部端子存在範囲図」として示しますので、フットパターン設計の参考資料としてください。

When laying out PC boards, it is important to design the foot pattern so as to give consideration to ease of mounting, bonding, positioning of parts, reliability, wiring, and elimination of solder bridges.

The optimum design for the foot pattern varies with the materials of the substrate, the sort and thickness of used soldering paste, and the way of soldering. Therefore when laying out the foot pattern on the PC boards, refer to this figure which mean the mounting area that the package leads are allowable for soldering to PC boards.

## ML22120GD ( 32 ピン WQFN )



## 表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを当社販売窓口まで必ずお問い合わせください。

本 LSI の熱抵抗値(例)について以下に示します。基板の大きさや層数により熱抵抗値(  $\theta_{Ja}$  )が変わります。

PCB	(W/L/t = 76.2 / 114.3 / 1.6 (mm))
PCB Layer	JEDEC 4 層
空冷条件	無風時 (0m/sec)
熱抵抗値( $\theta_{Ja}$ )	31.76 [°C /W]
チップの消費電力 PMax OutputPower	0.06[W]

本 LSI の  $T_{jMax}$  は 130 °C です。 $T_{jMax}$  は以下の式で表されます。

$$T_{jMax} = T_{aMax} + \theta_{Ja} \times P_{Max}$$

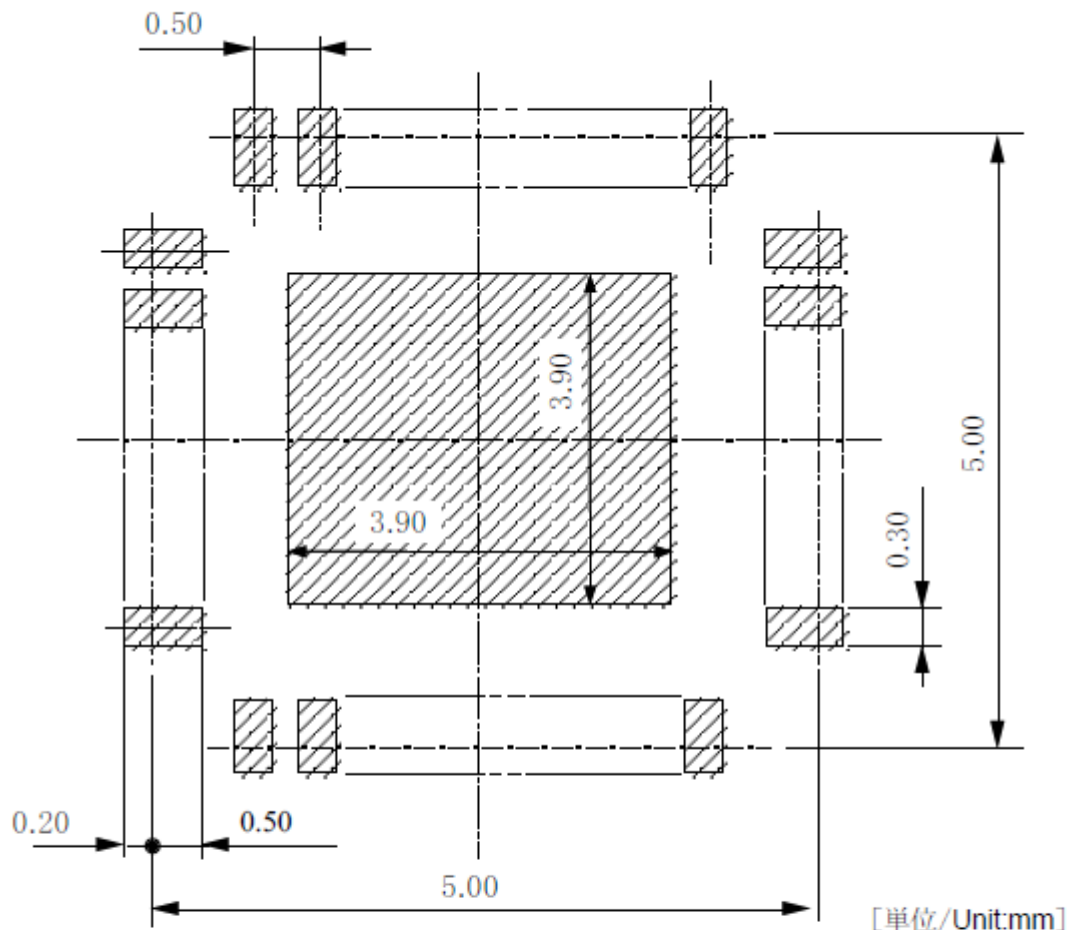
ダイパッド露出部分は、オープンもしくは GND 状態の基板と半田接続してください。

基板における端子存在範囲図(参考データ)を次頁に記載します。

## 半田付け端子存在範囲図

参考図

## Mounting area for package lead soldering to PC boards



実装基板のフットパターンの設計の際には、実装の容易さ、接続の信頼性、配線の引き回し、半田ブリッジ発生のないことなどを十分考慮してください。

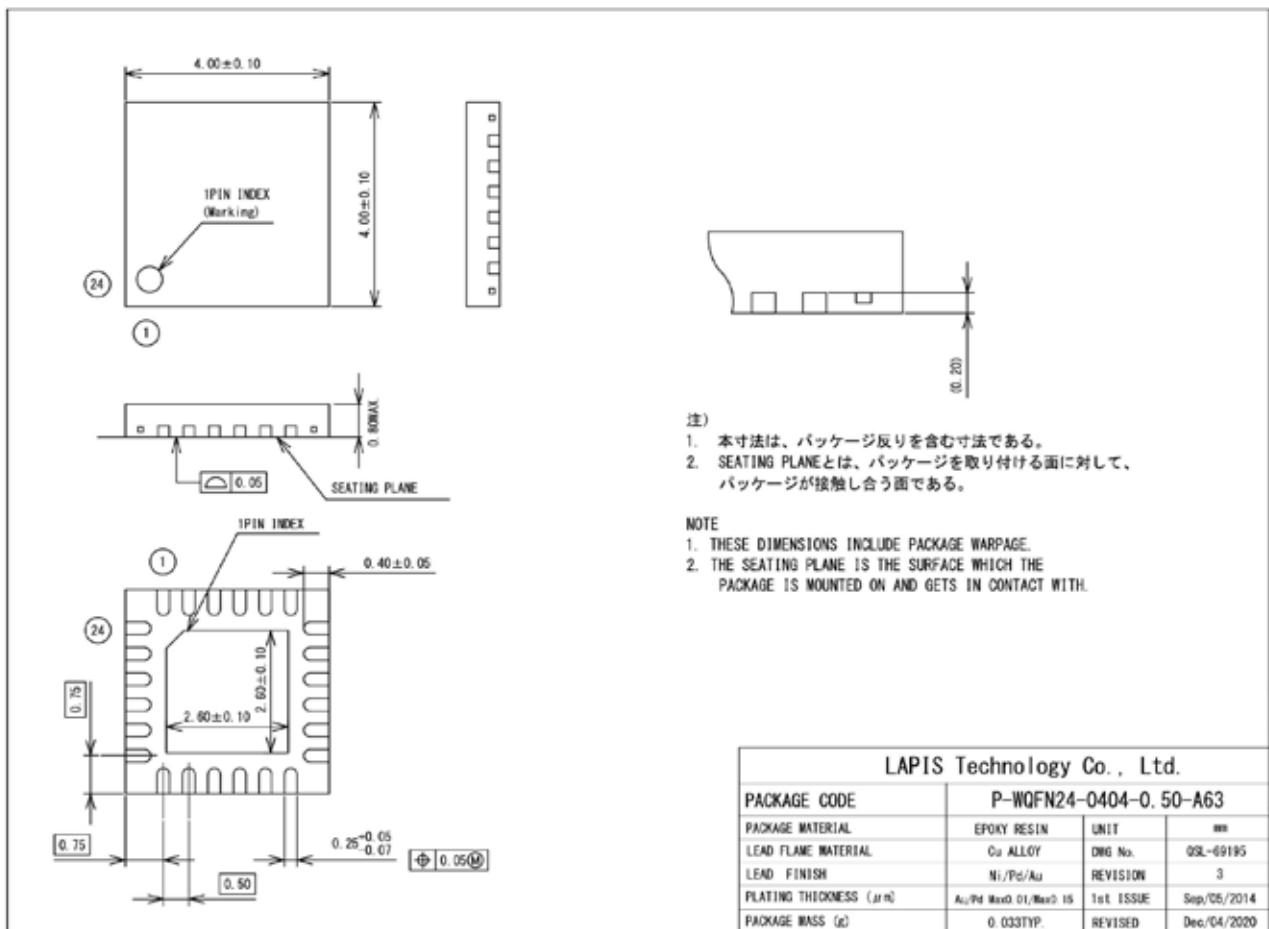
フットパターンの最適な設計は基板材質、使用する半田ペースト種類、厚み、半田付け方法などによって変わってきます。従って、本パッケージの端子の存在し得る範囲を「半田付け部端子存在範囲図」として示しますので、フットパターン設計の参考資料としてください。

When laying out PC boards, it is important to design the foot pattern so as to give consideration to ease of mounting, bonding, positioning of parts, reliability, wiring, and elimination of solder bridges.

The optimum design for the foot pattern varies with the materials of the substrate, the sort and thickness of used soldering paste, and the way of soldering. Therefore when laying out the foot pattern on the PC boards, refer to this figure which mean the mounting area that the package leads are allowable for soldering to PC boards.



## ML22120GP (24ピン WQFN)



## 表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを当社販売窓口まで必ずお問い合わせください。

本 LSI の熱抵抗値(例)について以下に示します。基板の大きさや層数により熱抵抗値(  $\theta_{Ja}$  )が変わります。

PCB	(W/L/t = 76.2 / 114.3 / 1.6 (mm))
PCB Layer	JEDEC 4 層
空冷条件	無風時(0m/sec)
熱抵抗値( $\theta_{Ja}$ )	36.53 [ $^{\circ}\text{C}/\text{W}$ ]
チップの消費電力 PMax OutputPower	0.06[W]

本 LSI の  $T_{j\text{Max}}$  は  $130^{\circ}\text{C}$  です。 $T_{j\text{Max}}$  は以下の式で表されます。

$$T_{j\text{Max}} = T_{a\text{Max}} + \theta_{Ja} \times P_{\text{Max}}$$

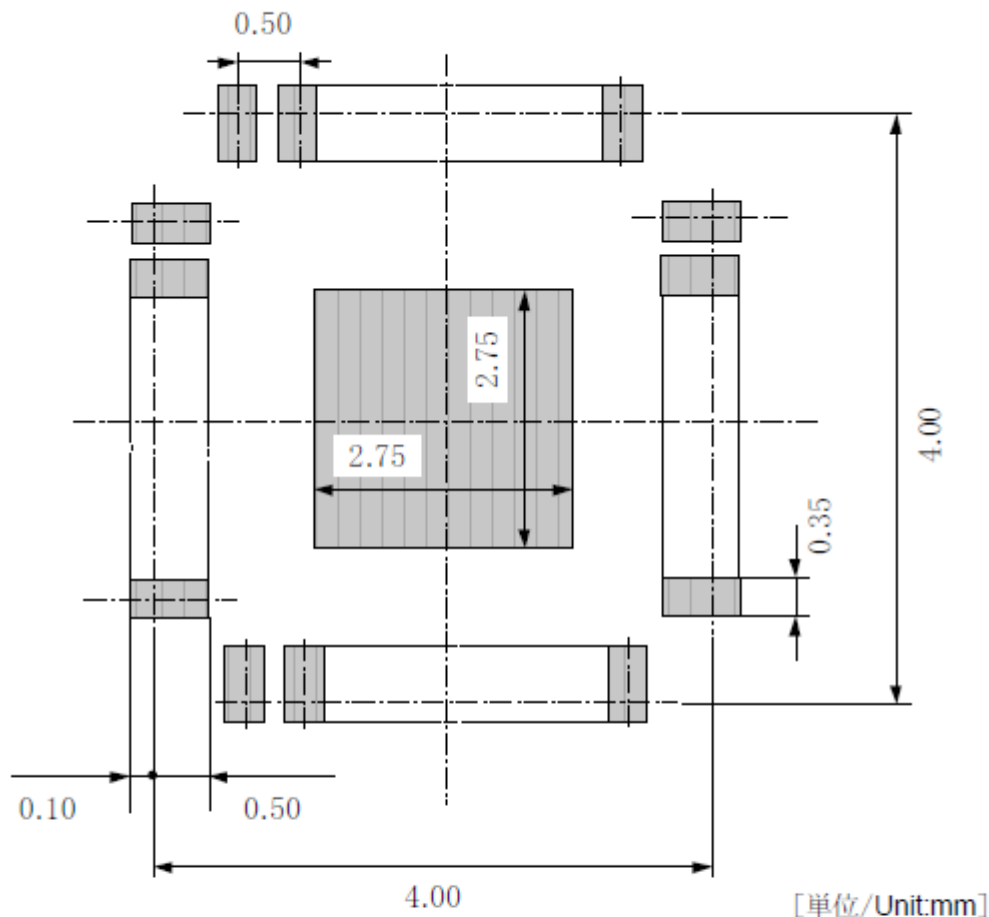
ダイパッド露出部分は、オープンもしくは GND 状態の基板と半田接続してください。

基板における端子存在範囲図(参考データ)を次頁に記載します。

## 半田付け端子存在範囲図

参考図

## Mounting area for package lead soldering to PC boards



実装基板のフットパターンの設計の際には、実装の容易さ、接続の信頼性、配線の引き回し、半田ブリッジ発生のないことなどを十分考慮してください。

フットパターンの最適な設計は基板材質、使用する半田ペースト種類、厚み、半田付け方法などによって変わってきます。従って、本パッケージの端子の存在し得る範囲を「半田付け部端子存在範囲図」として示しますので、フットパターン設計の参考資料としてください。

When laying out PC boards, it is important to design the foot pattern so as to give consideration to ease of mounting, bonding, positioning of parts, reliability, wiring, and elimination of solder bridges.

The optimum design for the foot pattern varies with the materials of the substrate, the sort and thickness of used soldering paste, and the way of soldering. Therefore when laying out the foot pattern on the PC boards, refer to this figure which mean the mounting area that the package leads are allowable for soldering to PC boards.

## 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL22120 -01	2023.3.1	-	-	正式 1 版
FJDL22120 -02	2024.2.9	-	3	用途を追加
		2	3	出荷形態をテーブル形式に変更
		122	123	ご注意の更新

## ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格<sup>(\*)</sup>、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、デレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。  
(\*1)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラス Ⅱ に該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。  
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続きを行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2023 – 2024 LAPIS Technology Co., Ltd.

## ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8  
<https://www.lapis-tech.com>